

Appunti del corso di
Elettronica Industriale 1 (GE, 20337)
A.A. 2003 - 2004

Prof. Maurizio Valle

A cura di: Silvia Brunengo, Matteo Giudici, Filippo Queirolo, Sara Burnengo, Alessio Simari, Mantero Enrico, Dorian Perata, Ramona Garbarino

Indice

Introduzione	Pag 1
Capitolo 1 :	
Richiamo alla teoria dei circuiti	Pag 2
1.1 Caratteristiche dei componenti	Pag 2
1.2 Risoluzione di un circuito elettrico: definizioni e teoremi	Pag 9
Capitolo 2:	
Diodo a giunzione	Pag 15
2.1 Semiconduttori	Pag 15
2.2 Diodo a giunzione: equazione caratteristica I, V	Pag 24
2.3 Approssimazione ai grandi segnali della caratteristica del diodo	Pag 29
2.4 Applicazioni del diodo	Pag 32
2.5 Circuito equivalente ai piccoli segnali del diodo	Pag 56
Capitolo 3:	
Transistore bipolare	Pag 67
3.1 Introduzione	Pag 67
3.2 Modello equivalente di Ebers-Moll (ai grandi segnali)	Pag 69
3.3 Zone di funzionamento	Pag 76
3.4 Transistore PNP	Pag 82
3.5 Amplificatore invertente	Pag 84
3.6 Circuito di polarizzazione	Pag 89
3.7 Analisi ai piccoli segnali di uno stadio amplificato ad emettitore comune	Pag 97
3.8 Circuito equivalente ai piccoli segnali (π ibrido)	Pag 101
3.9 Caratterizzazione di uno stadio di amplificazione ai piccoli segnali.	Pag 109

3.10 Configurazione a base ed emettitore comune di uno stadio di amplificazione .	Pag 115
3.11 Confronto tra le varie configurazioni del transistor bipolare.	Pag 117

Capitolo 4:

Risposta in frequenza di stadi amplificatori	Pag 118
4.1 Serie di Fourier	Pag 118
4.2 Trasformata di Fourier	Pag 121
4.3 Trasformata di Laplace e funzioni di trasferimento	Pag 122
4.4 Diagrammi di Bode	Pag 123
4.5 Filtri passivi	Pag 128
4.6 Comportamento in frequenza di uno stadio amplificatore	Pag 144

Capitolo 5:

Algebra di Boole o booleana	Pag 153
5.1 Teorema di De Morgan	Pag 157
5.2 Insiemi di operatori booleani funzionalmente completi	Pag 158

Capitolo 6:

Reti logiche combinatorie	Pag 159
6.1 Sintesi di una funzione logica	Pag 159
6.2 Sintesi minima di una funzione	Pag 163
6.3 Tempi di propagazione	Pag 171

Capitolo 7:

Esempi di sintesi di reti logiche combinatorie	Pag 175
7.1 Rete logica per la selezione dei segmenti di un display luminoso	Pag 175
7.2 Sommatore binario	Pag 178
7.3 Decoder ed encoder	Pag 181
7.4 Comparatore binario	Pag 182
7.5 Controllo di un impianto di condizionamento	Pag 184

Capitolo 8:

Rappresentazione binaria di numeri negativi e reali	Pag 185
--	----------------

Capitolo 9:

Reti sequenziali	Pag 188
9.1 Introduzione	Pag 188
9.2 Celle elementari di memoria statiche	Pag 193
9.3 Sincronizzazione di elementi di memoria di tipo latch	Pag 201

Capitolo 10:

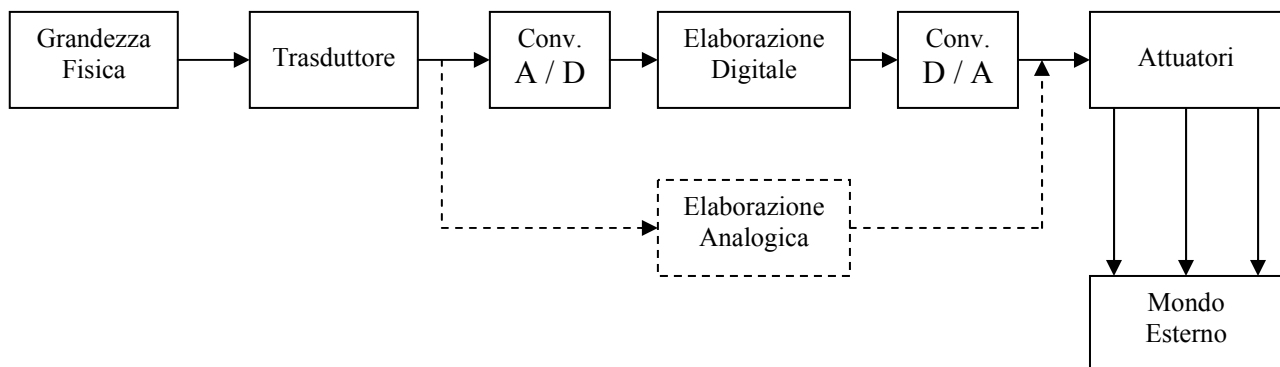
Macchine a stati finiti	Pag 207
10.1 Temporizzazione delle macchine a stati finiti	Pag 207
10.2 Progettazione di macchine a stati finiti	Pag 211

Introduzione

L'elettronica si occupa della acquisizione, elaborazione e trasmissione di segnali elettrici (analogici o digitali) che contengono informazione. Questi segnali sono grandezze fisiche variabili nel tempo come:

$$\left\{ \begin{array}{lll} \text{corrente} & \rightarrow & i(t) \\ \text{tensione} & \rightarrow & v(t) \\ \text{carica} & \rightarrow & q(t) \end{array} \right.$$

I circuiti elettronici (insieme di dispositivi interconnessi fra loro) servono per acquisire le informazioni dall'esterno, tradurle in segnali elettrici tramite dei trasduttori e successivamente elaborarle.



Le grandezze fisiche che entrano in gioco nell'elettronica presentano valori nell'intorno dell'ordine di grandezza:

- Correnti: sono dell'ordine dei nA (10^{-9} A) o dei μ A (10^{-6}) nei circuiti integrati. I circuiti integrati sono delle piastrine di silicio aventi uno spessore di pochi millimetri. Queste piastrine contengono un numero molto grande di elementi attivi (transistore, diodi, resistenze etc.) collegati fra loro mediante conduttori posti sulla superficie delle piastrine. Questi valori sono decisamente minori rispetto a quelli tipici dell'elettrotecnica ($> 10^{-3}$ A).
- Tensioni: sono dell'ordine dei μ V fino ad arrivare a qualche volt, mentre in elettrotecnica si parla generalmente di 10^3 V (Kvolt).
- Carica: sono dell'ordine di qualche frazione di Coulomb.

Capitolo 1

Richiami alla teoria dei circuiti

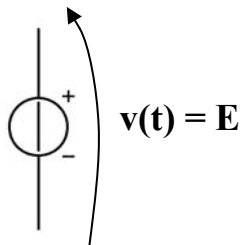
1.1 Caratteristiche dei componenti

Generatori indipendenti di tensione e di corrente

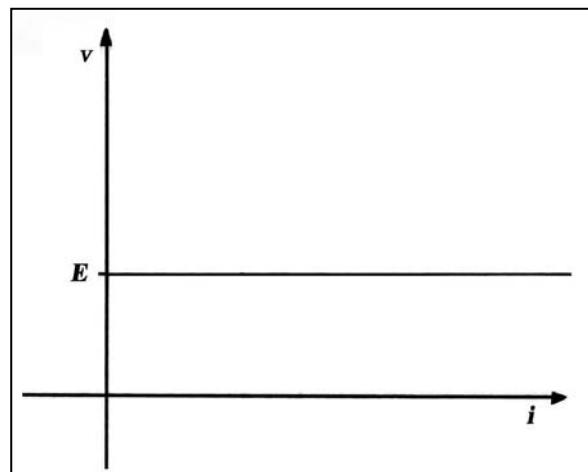
I generatori indipendenti generano un segnale, e sono elementi attivi costituiti da bipoli. I bipoli sono elementi costitutivi dei circuiti elettrici, dotati di due nodi chiamati morsetti, che stabiliscono tra la tensione applicata e la corrente un legame tale per cui a ogni valore della tensione corrisponde, generalmente, un solo valore della corrente. I generatori indipendenti sono in grado di generare una grandezza elettrica (tensione o corrente) indipendentemente dai valori assunti dall'altra.

Sono di due tipi:

- Generatore indipendente di tensione: è un dispositivo in grado di determinare una tensione $v(t)$ ai suoi capi indipendentemente dal valore di corrente da cui è attraversato. Il valore di corrente viene quindi fissato dal circuito collegato. Vediamo ora il simbolo e la caratteristica del generatore indipendente di tensione:



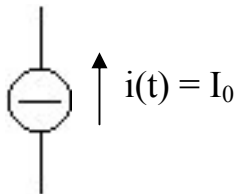
Il + vicino al dispositivo indica il verso per cui si considera positiva la tensione. Nel caso di generatore indipendente di tensione costante (es. tensione di alimentazione di un circuito) la caratteristica nel tempo è la seguente:



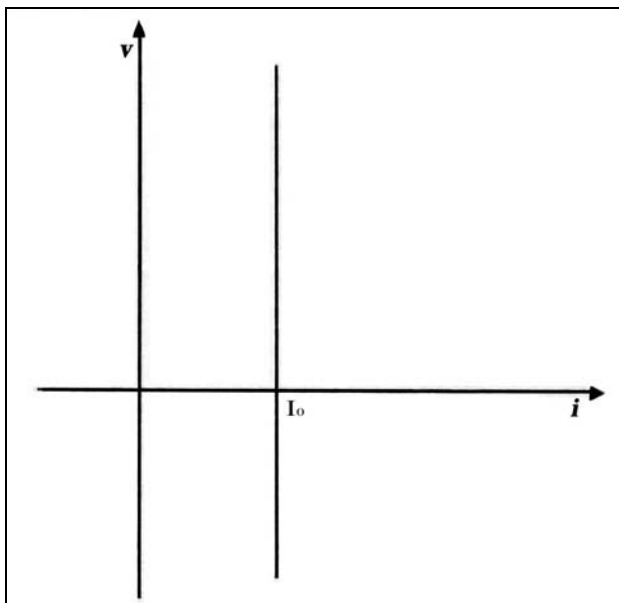
La caratteristica è determinata considerando la forma d'onda del generatore che è una costante:

$$v(t) = E$$

- Generatore indipendente di corrente: in analogia con il generatore indipendente di tensione, il generatore indipendente di corrente è un dispositivo in grado di erogare una corrente $i(t)$ al suo interno indipendentemente dal valore della tensione misurata ai suoi capi. La tensione viene quindi fissata dal circuito collegato. Il simbolo è:



Con la freccia si intende il verso della corrente positiva.

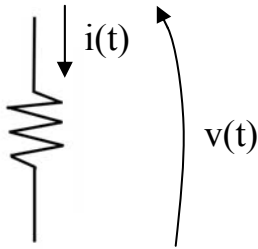


La caratteristica è determinata considerando la forma d'onda del generatore che è una costante:

$$i(t) = I_0$$

Resistore

Il resistore è un bipolo passivo con simbolo:

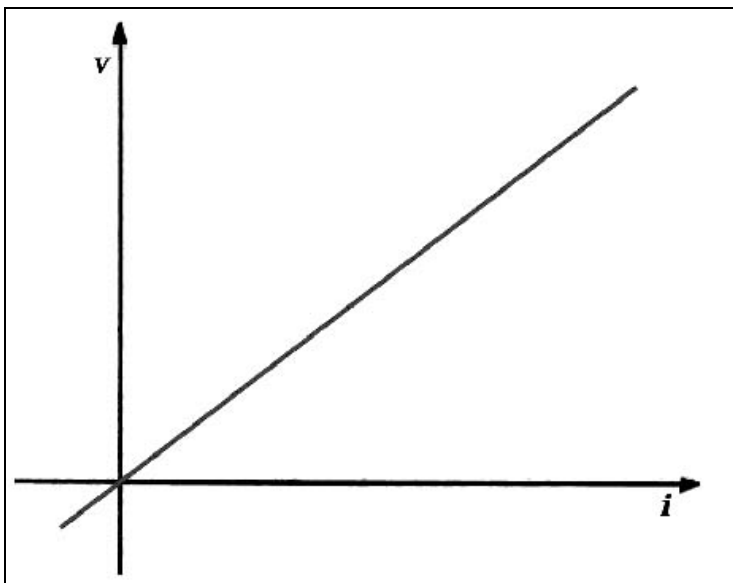


La caratteristica del resistore ed il valore della resistenza corrispondente sono definite dalla legge di Ohm:

$$v(t) = R i(t)$$

cioè la tensione ai capi del resistore è proporzionale alla corrente che vi circola all'interno. La costante di proporzionalità è detta resistenza ed è costante se il resistore è lineare. R si misura in $[\Omega]$ $= [V/A]$. L'inverso della resistenza è detta conduttanza $G = 1/R$ e si misura Siemens $[S] = [\Omega^{-1}]$.

La caratteristica del resistore lineare è:



La retta passa per l'origine: questo significa che è un componente passivo, cioè se non c'è corrente non c'è nemmeno tensione e viceversa.

Se $R \rightarrow 0$, cioè $v(t) = 0$, allora si parla di corto circuito e lo si indica così:



Se $R \rightarrow \infty$, cioè $i(t) = 0$ allora si parla di circuito aperto e lo si indica così:



Consideriamo ora la potenza istantanea assorbita dal resistore e dissipata in calore:

$$p(t) = v(t) \cdot i(t) = \frac{v^2(t)}{R} = R \cdot i^2(t)$$

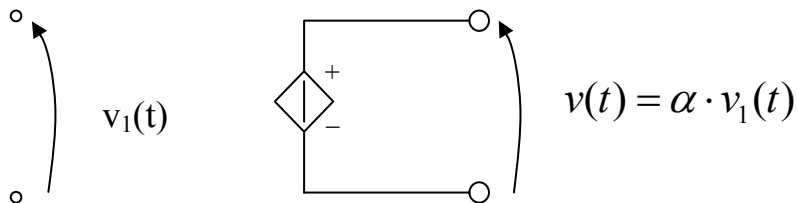
La potenza dissipata è definita come il prodotto tensione corrente.

Generatori dipendenti o controllati

I generatori dipendenti o controllati sono dei componenti attivi a quattro terminali che generano una corrente o una tensione che è una funzione di una corrente o tensione che circola in un altro ramo del circuito.

Esistono quattro tipi di generatori dipendenti:

1. VCVS (Voltage Controlled Voltage Source): generatore di tensione la cui tensione è funzione della tensione ai capi di un altro ramo del circuito.



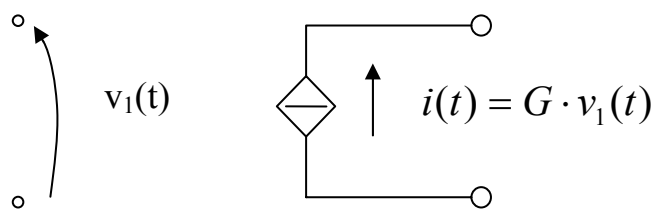
$$v(t) = f(v_1(t))$$

Se la dipendenza è lineare

$$v(t) = \alpha \cdot v_1(t)$$

con α adimensionale.

2. VCCS (Voltage Controlled Current Source): generatore di corrente in grado di erogare una corrente funzione della tensione ai capi di un altro ramo del circuito.



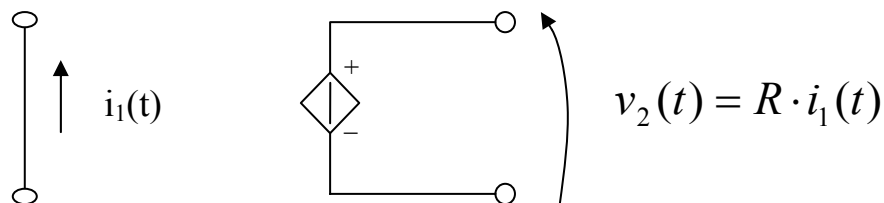
$$i(t) = f(v_1(t))$$

Se la dipendenza è lineare

$$i(t) = G \cdot v_1(t)$$

dove la G ha le dimensioni di una conduttanza ma in questo caso è detta transconduttanza poiché è la costante di proporzionalità tra la tensione e la corrente su rami differenti.

3. CCVS (Current Controlled Voltage Source): generatore di tensione la cui tensione erogata è funzione della corrente che circola in un altro ramo del circuito.



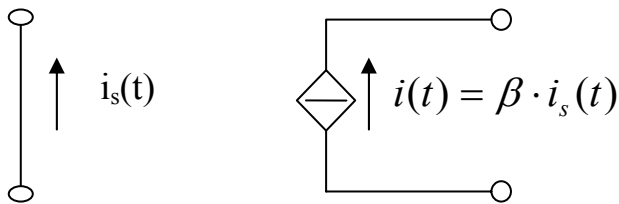
$$v(t) = f(i_1(t))$$

Se la dipendenza è lineare

$$v_2(t) = R \cdot i_1(t)$$

dove R ha le dimensioni di una resistenza ma è una transresistenza. Se però $v_1(t) \equiv v_2(t)$ allora R è effettivamente una resistenza.

4. CCCS (Current Controlled Current Source): generatore di corrente che eroga una corrente $i(t)$ funzione di una corrente $i_s(t)$ che circola in un altro ramo del circuito.



$$i(t) = f(i_s(t))$$

I generatori CCCS più comuni sono quelli lineari

$$i(t) = \beta \cdot i_s(t)$$

con β costante di proporzionalità adimensionale.

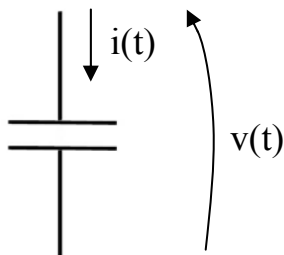
Condensatore

I condensatori sono componenti circuitali formati da due conduttori, di forma piana o cilindrica, detti “armature”, separati da un isolante dielettrico. Sono dispositivi passivi formati da bipoli e sono caratterizzati da una relazione differenziale tra tensione e corrente e da una lineare tra carica e tensione:

$$i(t) = C \cdot \frac{dv(t)}{dt} \qquad C = \frac{Q}{V}$$

La costante di proporzionalità C è detta capacità e indica l’attitudine di un condensatore a compiere le trasformazioni energetiche sopra citate e si misura in Farad [F]. Si dice che un condensatore ha la capacità di un Farad, se, applicando ai suoi capi la tensione di un Volt, esso accumula la carica di un Coulomb.

Il simbolo è:

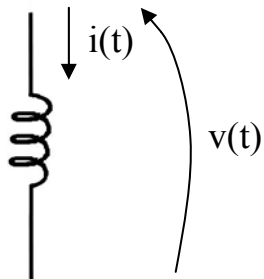


Induttore

Gli induttori sono bipoli passivi definiti dall'equazione differenziale:

$$v(t) = L \cdot \frac{di(t)}{dt}$$

e dalla simbologia:



La costante di proporzionalità L è detta induttanza e si misura in Henry [H]. L dipende dalle caratteristiche costruttive, dal tipo di conduttore e dal materiale ferromagnetico usato e indica l'attitudine di un circuito elettrico a creare un campo magnetico.

1.2 Risoluzione di un circuito elettrico: definizioni e teoremi

Definizioni

Circuito: insieme di componenti elettrici ed elettronici interconnessi tra loro.

Topologia di un circuito: definisce come sono collegati tra loro i componenti.

Nodo: punto del circuito in cui sono collegati tra loro due o più componenti.

Maglia: ogni generico percorso chiuso di componenti collegati fra loro.

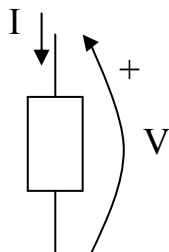
Ramo: ogni componente del circuito che connette due nodi.

Risolvere un circuito: data la topologia e le equazioni dei componenti si vuole determinare $i(t)$ e $v(t)$ in ogni ramo del circuito.

Convenzioni

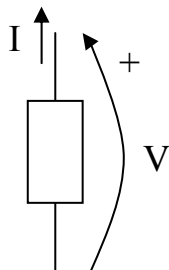
Per poter risolvere i circuiti elettrici è necessario stabilire dei versi di riferimento per la tensione e la corrente. Tali versi indicano convenzionalmente i versi positivi di tensione e corrente in quanto queste ultime sono nel caso specifico grandezze di tipo algebrico.

Sono state stabilite per questo motivo due convenzioni, la convenzione degli utilizzatori e quella dei generatori.



Utilizzatori

La corrente entra nel terminale considerato positivo per la tensione.



Generatori

La corrente esce dal terminale considerato positivo per la tensione.

Leggi di Kirchhoff

- KVL (o LKT) Legge di Kirchhoff delle Tensioni: la somma algebrica delle tensioni di ramo di ogni maglia del circuito è nulla in ogni istante.

$$\sum_i v_i(t) = 0$$

Questa legge enuncia sotto altra forma il principio di conservazione dell'energia.

Si consideri una maglia e si stabiliscano le direzioni positive di tensione e corrente. Stabilito un senso di percorrenza della maglia (ovvero orario e antiorario), sommo algebricamente le tensioni di ogni lato della maglia considerandole positive se concordi col verso di percorrenza della maglia e negative se discordi.

- KCL (o LKC) Legge di Kirchhoff delle Correnti: la somma algebrica delle correnti nei rami afferenti ad un singolo nodo è nulla in ogni istante.

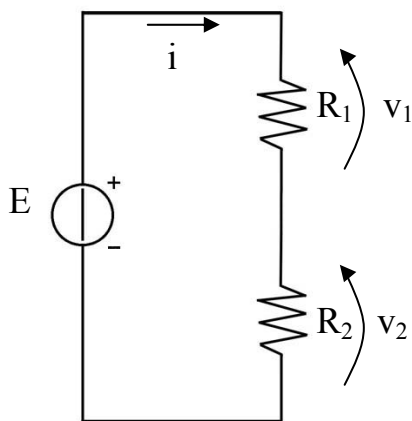
$$\sum_j i_j(t) = 0$$

Questa legge enuncia sotto altra forma il principio di conservazione della carica.

Mettendo assieme le KCL, le KVL e le relazioni tensione-corrente dei rami per i vari dispositivi presenti nel circuito, si ottiene un sistema di equazioni che rende possibile la risoluzione del circuito

Resistenze in serie e parallelo

Due componenti si dicono in serie se sono percorsi dalla stessa corrente. Ad esempio:



$$v_1 = E \cdot \frac{R_1}{R_1 + R_2} \qquad v_2 = E \cdot \frac{R_2}{R_1 + R_2}$$

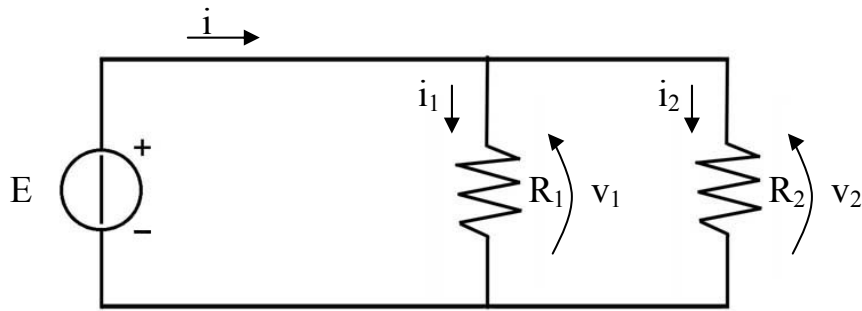
Partitore di tensione nel caso di N resistenze in Serie:

$$v_i = E \cdot \frac{R_{i1}}{\sum_{j=1}^N R_j}$$

e la resistenza totale è:

$$R_s = \sum_{j=1}^N R_j$$

Due componenti si dicono in parallelo se ai loro capi è presente la stessa stessa tensione (differenza di potenziale). Ad esempio:



Nel caso di N resistenze in serie:

$$i_1 = i \cdot \frac{R_2}{R_1 + R_2} \qquad i_2 = i \cdot \frac{R_1}{R_1 + R_2}$$

Partitore di corrente nel caso di N resistenze in parallelo:

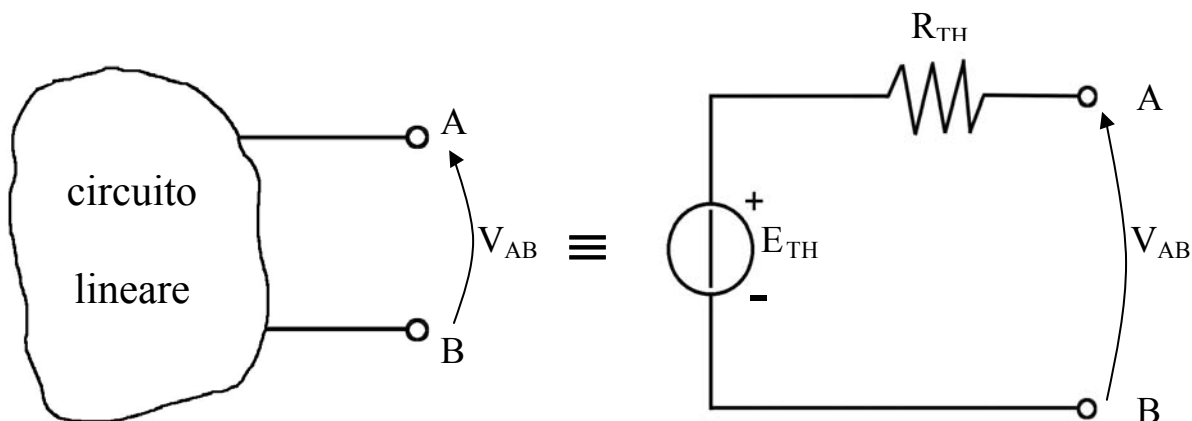
$$i_i = i \cdot \frac{\prod_{k \neq i}^N R_k}{\sum_{j=1}^N R_j}$$

e la resistenza totale del parallelo è:

$$R_p = \frac{\prod_{j=1}^N R_j}{\sum_{j=1}^N R_j}$$

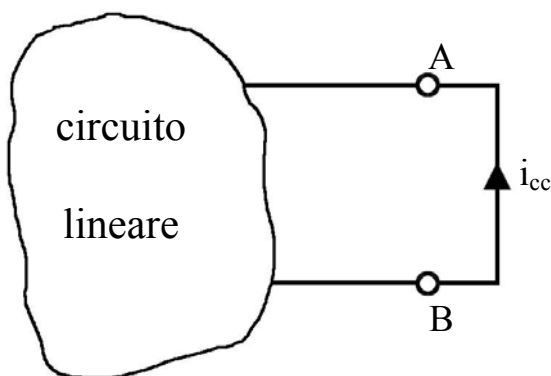
Teorema di Thevenin

Dato un circuito lineare comunque complesso, formato da resistori (condensatori, induttori), generatori indipendenti e generatori pilotati (con funzione lineare), presi comunque due nodi a e b, il circuito visto dai due nodi è equivalente ad un circuito più semplice composto da un generatore di tensione e da una resistenza E_{TH} e R_{TH} .



E_{TH} è la tensione V_{AB} che si ottiene con il circuito aperto e si misura dal circuito di partenza essendo la tensione tra i due nodi scelti.

R_{TH} è la resistenza vista dai due nodi scelti. Per calcolare la R_{TH} si cortocircuitano i nodi A e B tra loro e si calcola la i_{cc} (corrente di corto circuito).

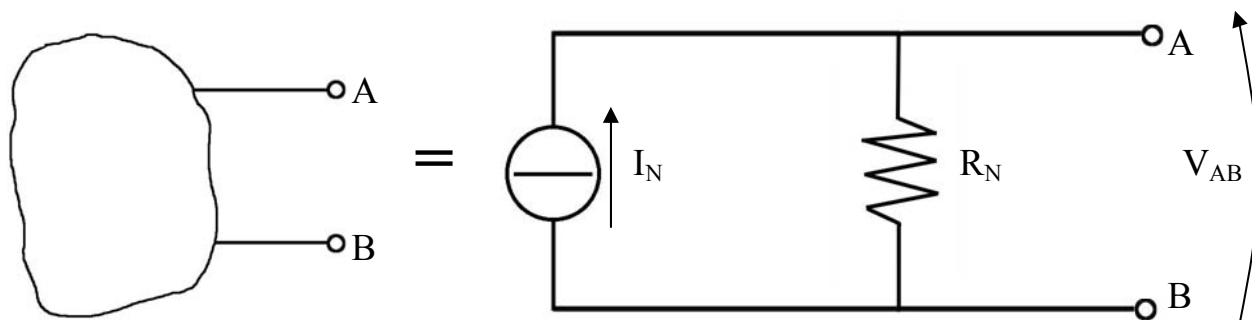


$$R_{TH} = \frac{V_{AB}}{i_{cc}}$$

oppure si passavano tutti e solo i generatori indipendenti di tensione e corrente nella rete e si calcola la resistenza equivalente vista ai nodi A e B.

Teorema di Norton

Il teorema di Norton è il duale del teorema di Thevenin. Considerato un circuito lineare, estratti due nodi A e B, il circuito visto dai due nodi è equivalente ad un circuito composto da un generatore di corrente e da un resistore I_N e R_N posti in parallelo.



I_N si determina cortocircuitando i morsetti A e B e calcolando la I_{cc} (corrente di cortocircuito).

Si dimostra che $R_N = R_{TH}$. Questa uguaglianza può essere dimostrata considerando l'equivalenza tra il circuito di Thevenin e quello di Norton.

Passando dal circuito di Thevenin a quello di Norton equivalente, nel calcolo di R_N , passavo il generatore indipendente di tensione e si ottiene:

$$R_N = R_{TH}$$

da cui

$$I_N = \frac{E_{TH}}{R_N} = \frac{E_{TH}}{R_{TH}}$$

Principio di sovrapposizione degli effetti

Si consideri un circuito elettrico lineare, e alimentato da generatori ideali di tensione e di corrente (questi generatori costituiscono gli ingressi al circuito). Le tensioni e le correnti di ramo, possono essere ricavati come combinazione lineare degli ingressi.

Dato un circuito da risolvere, è possibile determinare la risposta totale sommando le singole risposte dei circuiti ottenuti considerando un generatore alla volta e passivando gli altri. Si ricorda che passivare un generatore indipendente di tensione significa sostituirlo un cortocircuito e passivare un generatore indipendente di corrente significa sostituirlo un circuito aperto.

Risoluzione di un circuito lineare

Sia dato un circuito lineare costituito da N nodi, M rami ed L maglie; risolvere il circuito significa determinare le tensioni e le correnti in tutti i rami del circuito. I valori dei componenti del circuito (R , L , C) e dei generatori indipendenti di tensioni e correnti si suppongono noti.

Il numero di incognite è quindi pari a $2M$. Per risolvere il circuito si deve impostare il seguente sistema di equazioni:

1. si considerano $(L-1)$ equazioni derivanti dalla KVL applicata a $(L-1)$ maglie (la L^{ma} equazione KVL è combinazione lineare dei restanti $(L-1)$ equazioni di tipo KVL)
2. si considerano $(N-1)$ equazioni derivate dalla KCL applicate a $(N-1)$ nodi (la N^{ma} equazione KCL è combinazione lineare dei restanti $(N-1)$ equazioni di tipo KCL)
3. si considerano le M equazioni dei componenti del circuito (equazione di ramo)

Si ottiene così un sistema con un numero di equazioni pari al numero di incognite e che quindi si può risolvere con i metodi noti ad esempio per sostituzioni successive.

Capitolo 2

Diodo a giunzione

2.1 Semiconduttori

Conduttori

I conduttori sono materiali, specialmente metalli, che presentano una buona conduzione di elettricità e calore e sono caratterizzati da valori di resistività, per unità di lunghezza, molto piccola.

La resistività, o resistenza specifica, misurata in $[\Omega\text{m}]$, rappresenta l'attitudine di un corpo a condurre meglio o peggio la corrente elettrica.

I conduttori metallici sono i principali materiali conduttori: in essi le cariche libere sono costituite da elettroni che, essendo debolmente legati al nucleo, si muovono liberamente negli spazi interatomici. La conduzione avviene grazie agli elettroni, indicati con la lettera "n" (dall'inglese "negative") che servono, fisicamente, a trasportare la corrente.

La carica dell'elettrone è indicata con la lettera "q":

$$q = 1,6 * 10^{-19} \text{ C}$$

Isolanti

Gli isolanti sono materiali come il legno e la gomma e presentano caratteristiche di conduzione praticamente nulle.

Semiconduttori

Tra gli elementi conduttori e quelli isolanti ci sono dei materiali che hanno un comportamento intermedio: i semiconduttori. Questi materiali come il Silicio (Si), il Germanio (Ge), il Gallio (Ga) e l'Arsenico (As), sono caratterizzati da un valore di resistività compresa tra i 10^{-5} e $10^{-6} \Omega\text{m}$, cioè tra quello dei conduttori e gli isolanti.

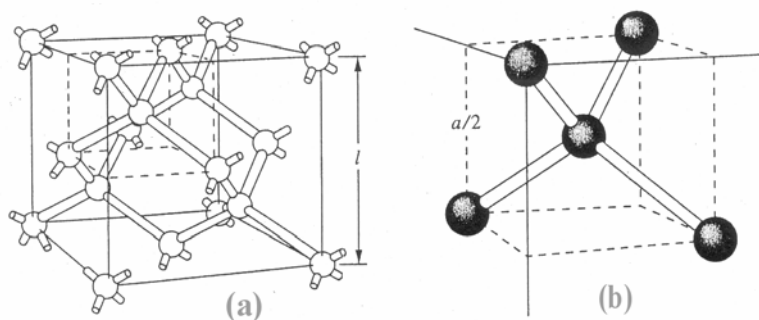
All'opposto di quanto avviene per i conduttori, nei semiconduttori la conduttività aumenta all'alzarsi della temperatura e può essere aumentata con l'aggiunta di piccole quantità di sostanze estranee. Analizzeremo nel seguito il Silicio.

Gli atomi del Silicio sono disposti in una configurazione cristallina tale che ciascun atomo è legato a 4 atomi vicini con altrettanti legami covalenti, in cui sono impegnati 4 elettroni esterni o di valenza. Questi elettroni hanno scarsissima possibilità di muoversi, in quanto sono fortemente vincolati a ciascun atomo, a differenza di ciò che avviene nei conduttori metallici, in cui gli elettroni di legame sono liberi di muoversi all'interno del reticolo cristallino. Perché sia possibile la conduzione elettrica occorre che alcuni elettroni acquistino energia sufficiente per passare dai livelli energetici pieni a quelli vuoti mentre nei metalli questo non è necessario.

La conducibilità dei semiconduttori aumenta con l'aumentare della temperatura: con il calore alcuni elettroni acquistano l'energia sufficiente per passare ad un livello energetico superiore (banda di conduzione) e muoversi, quindi, all'interno del reticolo cristallino; se viene applicato un campo elettrico esterno, si genera corrente elettrica.

Quando un elettrone abbandona il legame che lo teneva vincolato al reticolo, lascia libero un posto nella banda di valenza, provocando una lacuna, che si comporta a tutti gli effetti come una carica elettrica positiva; in presenza di un campo elettrico esterno un altro elettrone di valenza andrà ad occupare la lacuna appena formatasi, lasciandone libera un'altra e così via.

Le figure mostrano la struttura del reticolo cristallino :



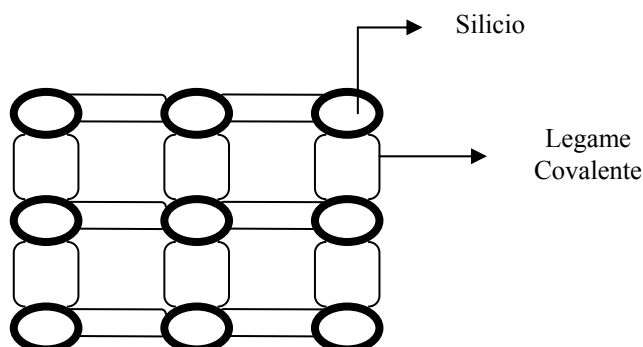
(a) Cella unitaria del diamante . La lunghezza del lato del cubo è pari a $l = 0,357 \text{ nm}$

(b) Ingrandimento del vertice superiore del cubo della cella del reticolo del diamante , in cui vengono mostrati i legami covalenti .

Di seguito è riportata la sezione della tavola periodica in cui vengono mostrati i semiconduttori elementari più importanti (riquadri ombreggiati):

IIIA		IVA		VA		VIA			
5	10.811 B Boro	6	12.01115 C Carbonio	7	14.0067 N Azoto	8	18.9994 O Ossigeno		
13	26.9815 Al Alluminio	14	28.086 Si Silicio	15	30.9738 P Fosforo	16	32.064 S Zolfo		
30	65.37 Zn Zinco	31	69.72 Ga Gallio	32	72.59 Ge Germanio	33	74.922 As Arsenico	34	78.96 Se Selenio
48	112.40 Cd Cadmio	49	114.82 In Indio	50	118.69 Sn Stagno	51	121.75 Sb Antimonio	52	127.60 Te Tellurio
80	200.59 Hg Mercurio	81	204.37 Tl Tallio	82	207.19 Pb Piombo	83	208.980 Bi Bismuto	84	(210) Po Polonio

Si illustra nel disegno, in due dimensioni, parte del reticolo cristallino del Silicio, il cui numero atomico (rappresentante il diverso numero di protoni, particelle con carica positiva, nel nucleo) è 14, e 4 sono i suoi elettroni di valenza, gli elettroni cioè che un atomo può cedere, acquistare o mettere in comune con altri per formare legami: questi si trovano sui livelli energetici più esterni:



Alla temperatura di 0K il Silicio si comporta come un perfetto materiale isolante perché a questa temperatura non ci sono elettroni disponibili per trasportare la corrente, in quanto tutti i legami covalenti sono intatti. Alzando la temperatura i legami covalenti si rompono e gli elettroni vengono liberati potendo così trasportare la corrente e provocare conduzione.

Un *semiconduttore* è detto *intrinseco* se è costituito da un reticolo monocristallino senza impurità e, indicando con la lettera “n” il numero di elettroni e “p” il numero di lacune si ottiene che:

$$n = p = n_i = 1.45 \cdot 10^{10} \text{ cm}^{-3}$$

con n_i detto **concentrazione intrinseca**.

L'aumento della conducibilità può essere conseguito anche mediante l'immissione di quantità molto piccole, nel rapporto di un atomo su 10 milioni, di opportune sostanze, chiamate impurità: questa operazione è detta *drogaggio* e le impurità prendono il nome di *elementi droganti*. Ogni atomo di impurità sostituisce un atomo di silicio nel reticolo cristallino.

L'importanza del drogaggio sta nel fatto che dosando opportunamente le impurezze immesse, si può ottenere un numero fissato di portatori di carica per unità di volume.

Si definisce *semiconduttore estrinseco* un semiconduttore a cui vengono inserite nel reticolo cristallino atomi di impurità:

- *Semiconduttori di tipo n* (o *drogati n*): inserendo nel reticolo cristallino elementi droganti pentavalenti, come l'Arsenico, che presenta 5 elettroni di valenza, i loro atomi impegneranno 4 elettroni in legami, mentre renderanno disponibile un elettrone libero che partecipa alla conduzione. In aggiunta alle coppie elettrone-lacuna, si crea così un eccesso di elettroni liberi e quindi di cariche negative.

Per questi semiconduttori il numero di elettroni è molto maggiore del numero di lacune presenti:

$$n \gg p$$

- *Semiconduttori di tipo p* (o *drogati p*): se nel reticolo sono inseriti elementi droganti trivalenti (ad esempio il Boro), che possiedono 3 elettroni di valenza, sarà resa disponibile per ogni atomo d'impurezza una lacuna, cioè una carica positiva, che parteciperà alla conduzione elettrica creando un eccesso di cariche positive.

Per questi conduttori il numero di elettroni è molto minore del numero di lacune presenti:

$$n \ll p$$

In ogni caso si ha (sia per semiconduttori intrinseci che estrinseci all'equilibrio termodinamico):

$$n \cdot p = n_i^2$$

Nota

La densità di atomi del silicio cristallino intrinseco è 10^{22} di (atomi / cm³).

La densità degli atomi di un drogante un semiconduttore è $10^{14} \div 10^{16}$ (atomi / cm³).

Conduzione nei conduttori metallici e nei semiconduttori

In un metallo la densità di corrente vale :

$$\mathbf{J} = \mathbf{V}_d \cdot \mathbf{n} \cdot e$$

con $\mathbf{V}_d$ definita **velocità di drift** .

La legge di Ohm a livello microscopico equivale a :

$$\mathbf{E} = \rho \cdot \mathbf{J}$$

e con E intendiamo ora il campo elettrico presente all'interno del conduttore .

• Dimostrazione :

$$R = E/J \cdot L/A$$

dunque

$$E = R \cdot J \cdot A / L$$

Ma R è anche uguale a

$$R = \rho \cdot L/A \quad \rho = R \cdot A/L$$

Dunque

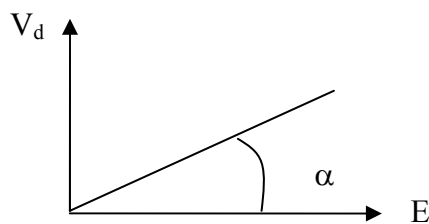
$$E = \rho \cdot J$$

■

Inoltre è verificabile che la velocità di trascinamento equivale alla **mobilità degli elettroni (μ)** moltiplicato per il campo elettrico . Questa formula esplica la dipendenza della velocità degli elettroni dalla temperatura , dalla coesione tra atomi e nuclei e naturalmente dall'intensità del campo elettrico applicato .

$$\mathbf{V}_d = \mu \cdot \mathbf{E}$$

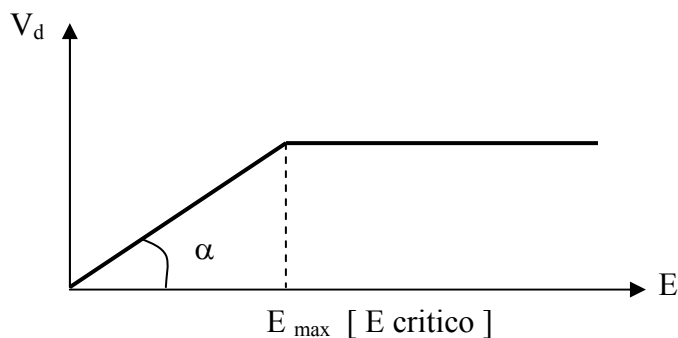
Questa relazione può essere graficamente rappresentata tramite gli assi cartesiani :



La retta rappresentata ha pendenza μ in quanto è coefficiente angolare della funzione sopra descritta e μ vale :

$$\mu = 1 / (\rho \cdot n \cdot e)$$

Vi è inoltre da tenere in considerazione che la V_d non è esprimibile del tutto con l'equazione sopra scritta in quanto oltre un certo valore massimo di E essa rimane costante non aumentando più la sua pendenza come da grafico :



L'unità di misura della mobilità elettronica si ottiene dalla sua formula .

Dalla V_d si ricava che :

$$\mu = V_d / E$$

dunque in unità di misura :

$$[m / s] / [V / m] = [m^2 / V s] \text{ o } [cm^2 / V s]$$

All'interno dei conduttori metallici e nei semiconduttori è definibile un'altra grandezza detta **conducibilità (σ)** che può essere facilmente esplicita come reciproco della resistività ed in effetti indica la tendenza di un conduttore a lasciarsi attraversare dalla corrente .

Questa grandezza che ha dimensioni $[\Omega^{-1} , m^{-1}]$ si esplicita nella forma :

$$\sigma = 1 / \rho = \mu \cdot n \cdot e \quad (36)$$

Esempio di calcolo di conducibilità .

Supponiamo di prendere delle strisce di metallo in un circuito integrato con le seguenti dimensioni:

Lunghezza conduttore : 2.8 mm

Area della sezione : $4 \mu\text{m}^2$ (micrometri quadri 10^{-6})

Ai capi del conduttore viene applicata una tensione pari a :

$$0.1 \text{ V}$$

La corrente generata dalla differenza di potenziale ha intensità :

$$5 \cdot 10^{-3} \text{ A}$$

La mobilità degli elettroni data la temperatura e il materiale del conduttore = $500 \text{ cm}^2 / \text{V s}$

Problema : determinare la concentrazione di elettroni

Sappiamo che :

$$i = J \cdot A = E \cdot \sigma \cdot A$$

Decidiamo di moltiplicare il prodotto ottenuto per un fattore unario di sola utilità pratica che non cambia nulla a fini matematici :

$$i = E \cdot \sigma \cdot A \cdot (L / L) = [(\sigma \cdot A) / L] \cdot E \cdot L$$

inoltre sappiamo che

$$(\sigma \cdot A) / L = 1 / R$$

e allora adesso l'intensità di corrente è

$$i = (1 / R) \cdot (E \cdot L)$$

che risulta essere

$$i = (1 / R) \cdot V$$

Prendiamo le relazioni che ci interessano in quanto noi abbiamo a disposizione solo alcuni dati :

$$i = [(A \cdot \sigma) / L] \cdot V$$

ricavando la conducibilità

$$\sigma = (i / V) \cdot (L / A)$$

Sostituendo con in dati :

$$\sigma = (5 \cdot 10^{-3} \text{ A} / 0.1 \text{ V}) \cdot (2.8 \cdot 10^{-3} \text{ m} / 4 \cdot 10^{-12}) = 3.5 \cdot 10^7 [\Omega^{-1}, \text{m}^{-1}]$$

Ma

$$n = \sigma / \mu \cdot e$$

cioè nel nostro caso

$$3.5 \cdot 10^7 / (500 \cdot 10^{-4} \cdot 1.6 \cdot 10^{-19}) = 4.38 \cdot 10^{21} \text{ cm}^{-3}$$

Attraverso un altro esempio numerico cerchiamo di esplicitare ancora meglio questo concetto :

Supponendo di avere un conduttore con le seguenti dimensioni :

lunghezza = 3 mm
sezione = $50 \cdot 100 \text{ } \mu\text{m}^2$

La resistività del conduttore è pari a $2.3 \cdot 10^5 \text{ } \Omega \cdot \text{cm}$

La corrente che circola all'interno del conduttore è di $1 \text{ } \mu\text{A}$

inoltre il conduttore si trova a una temperatura di 300°K .

Cerchiamo di calcolare la d.d.p. e il campo elettrico al suo interno .

Nel caso stazionario il potenziale vale

$$V = E \cdot L$$

inoltre

$$E = J / \sigma = i / A \cdot 1 / \sigma$$

dunque sostituendo i dati :

$$E = [(10^{-6} \text{ A}) / (50 \cdot 100 \cdot 10^{-12} \text{ m}^2)] \cdot (2.3 \cdot 10^5) \cdot 10^{-2} \text{ } \Omega \cdot \text{m} = 4.6 \cdot 10^{-4} \text{ V / m}$$

Nei semiconduttori la mobilità non si riferisce solo agli elettroni di conduzione ma agli elettroni e

alle lacune .

Essa dunque diventerà

$$\mathbf{J} = e \cdot (n \mu_n + p \mu_p) \cdot \mathbf{E}$$

Che nel caso il semiconduttore sia intrinseco diventa

$$J = e \cdot n_i \cdot (\mu_n + \mu_p) \cdot E$$

e dalle due relazioni precedenti è possibile ricavare la conducibilità del semiconduttore.

Si prospetta adesso il problema di aumentare la concentrazione di una o dell'altra componente del semiconduttore (n e p).

Semiconduttori drogati e drogaggio

Drogaggio di Tipo N

Al fine di aumentare la concentrazione di elettroni all'interno del silicio la tecnologia ha portato all'attuazione del cosiddetto **drogaggio di semiconduttori**.

Per esempio il silicio ha 4 elettroni di valenza cioè riesce a legarsi contemporaneamente con quattro atomi adiacenti (ovvero possiede 4 elettroni di conduzione) come dimostrava il disegno precedente al fine di aumentare il numero degli elettroni liberi senza forzare il semiconduttore con alte temperature, si inseriscono all'interno di esso delle impurezze o meglio si sostituiscono atomi di silicio con atomi di un altro elemento dalla valenza superiore (per esempio il fosforo P 5).

Questo processo di inserimento di impurezze viene detto **drogaggio** e l'elemento annesso viene detto **drogante**.

Normalmente si introducono all'interno di un semiconduttore, un atomo di Fosforo ogni $10^6 : 10^8$ atomi di Silicio.

Al termine del processo si ottiene circa una concentrazione di $10^{14} : 10^{16}$ atomi di fosforo in ogni cm^3 di semiconduttore.

Dunque è facile verificare che la concentrazione degli elettroni di conduzione liberi :

$$n = 10^{16} / \text{cm}^3 \quad p = 10^4 / \text{cm}^3$$

Da ciò si può dedurre una regola generale per il calcolo delle lacune presenti dopo il drogaggio di un semiconduttore intrinseco :

Se N_D è la **concentrazione di drogante** (all'interno di essa si trascurano gli elettroni creati per effetto dell'agitazione termica) si può scrivere che :

$$\begin{aligned} n &\approx N_D \\ p &\approx n_i^2 / N_D \end{aligned}$$

Se l'elettrone del donatore si allontana dal nucleo, l'atomo si trasforma in **uno ione Positivo**

Esempio

Dato un semiconduttore di Silicio con le seguenti caratteristiche :

$$L = 3 \text{ mm} \qquad A \text{ (sezione)} = 50 \times 100 \text{ } \mu\text{m}^2 \qquad N$$

Concentrazione di Drogante : $N_D = 5 \cdot 10^{14} / \text{cm}^3$

Temperatura = 300°K

Sapendo che dopo aver applicato una differenza di Potenziale ai capi del semiconduttore ovvero un campo elettrico stazionario esso è attraversato da una corrente pari a $I = 1 \text{ } \mu\text{A}$.

Cerchiamo di calcolare tale potenziale.

Allora n è uguale alla concentrazione di drogante di $n \approx 5 \cdot 10^{14} / \text{cm}^3$

Allora

$$p \approx (1.45 \cdot 10^{10})^2 / (5 \cdot 10^{14}) = 4.2 \cdot 10^5 / \text{cm}^3$$

La conducibilità come è stato detto , risulta essere :

$$\sigma = (\mu_n \cdot n + \mu_p \cdot p) \cdot e$$

tuttavia essendo assai più piccolo di $\mu_n \cdot n$, $\mu_p \cdot p$ può essere trascurato con un errore accettabile .

Dunque

$$\sigma \approx 5 \cdot 10^{14} \cdot \text{cm}^{-3} \cdot 1500 (\text{cm}^2 / \text{V Sec}) \cdot 1.6 \cdot 10^{-19} \text{C} = 0.12 (\Omega \cdot \text{cm})^{-1}$$

Essendo

$$V = (I / A) \cdot (L / \sigma)$$

cioè nel nostro caso :

$$V = (10^{-6} \text{ A} \cdot 3 \cdot 10^{-3} \text{ m}) / [(5 \cdot 10^3 \cdot 10^{-12} \text{ m}) \cdot (0.12 \cdot 10^2 (\Omega \cdot \text{m})^{-1})] = 0.05 \text{ V}$$

Drogaggio di tipo P

Oltre al problema di aumentare la concentrazione di elettroni rispetto alle lacune per aumentare la conducibilità del semiconduttore esiste il problema analogo , per altro con lo stesso fine , di aumentare la concentrazione di lacune a scapito di quella degli elettroni .

Il processo consiste nel inserire delle impurità di altri elementi all'interno del reticolo di Silicio . Detti elementi devono avere un numero di valenza **più basso** di quello del silicio in modo da non riuscire a completare i quattro legami costituiti dal Silicio e in questo modo creare lacune .

Gli elementi in genere usati per drogaggi di Tipo P sono Il **Boro** (valenza 3 e l'arsenico) .

La concentrazione di atomi accettori cioè droganti (di tipo accettori viene indicata con N_A) e inoltre :

$$p \approx N_A \qquad n \approx n_i^2 / N_A$$

Se elettroni vanno a completare i legami covalenti dell'accettore esso si trasforma in un **ione negativo** .

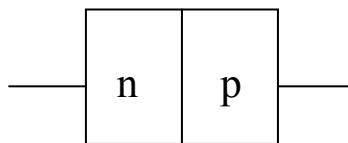
A causa di ciò si crea all'interno del semiconduttore un equilibrio di carica (ioni + portatori)

In un qualsiasi tipo di Drogaggio sussiste la relazione :

$$p + N_D = n + N_A$$

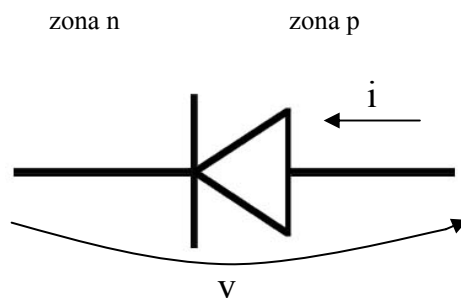
2.2 Diodo a giunzione: equazione e caratteristica I, V

Il diverso comportamento dei semiconduttori drogati n o p permette la costruzione di dispositivi elettronici, per esempio diodi e transistori. Sfruttando le caratteristiche che si osservano mettendo a contatto un semiconduttore n e uno p, si forma una *giunzione p-n*. La giunzione costituisce il dispositivo chiamato *diodo a giunzione*, che è un componente non lineare.



Le sue dimensioni sono molto ridotte: minori di 2-3 mm circa.

Dal punto di vista elettrico il diodo si rappresenta così:



La corrente e la tensione devono essere sempre indicate come nel disegno nella convenzione degli utilizzatori

L'equazione che descrive la caratteristica del diodo è la seguente:

$$i = I_s \left(e^{\frac{v}{nV_T}} - 1 \right)$$

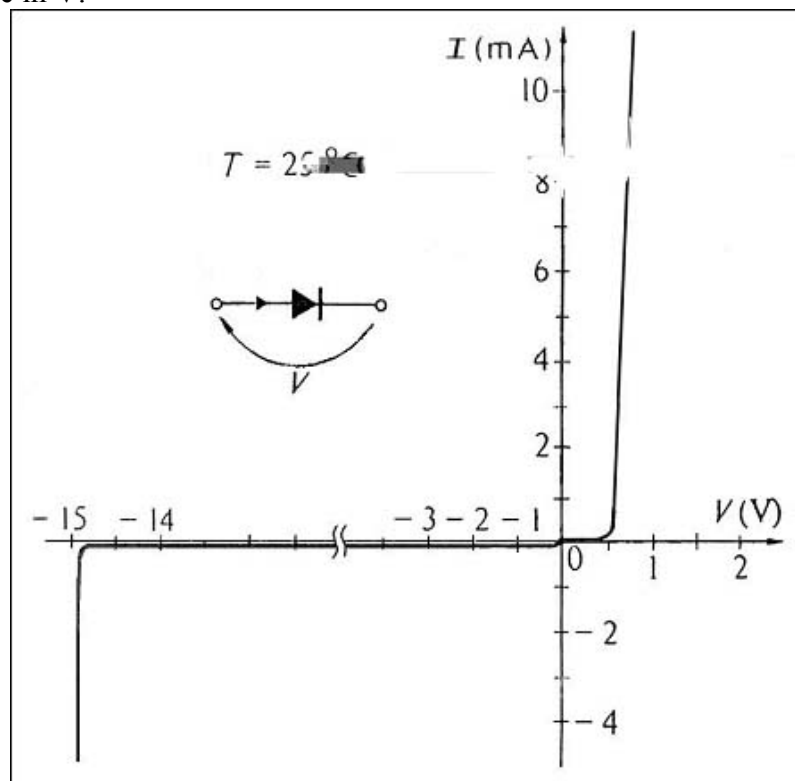
- I_s è una corrente il cui valore dipende dalle caratteristiche geometriche del diodo e da quelle di drogaggio, prende il nome di *Corrente di saturazione inversa* (è dell'ordine dei $10^{-6} \div 10^{-9}$ A).
- n è un numero dipendente dal tipo di semiconduttore usato; ad esempio per il Silicio $n = 2$, per il Germanio $n = 1$.
- V_T è una tensione, misurata in Volt, chiamata *Tensione termica*.

$$V_T = \frac{K \cdot T}{q}$$

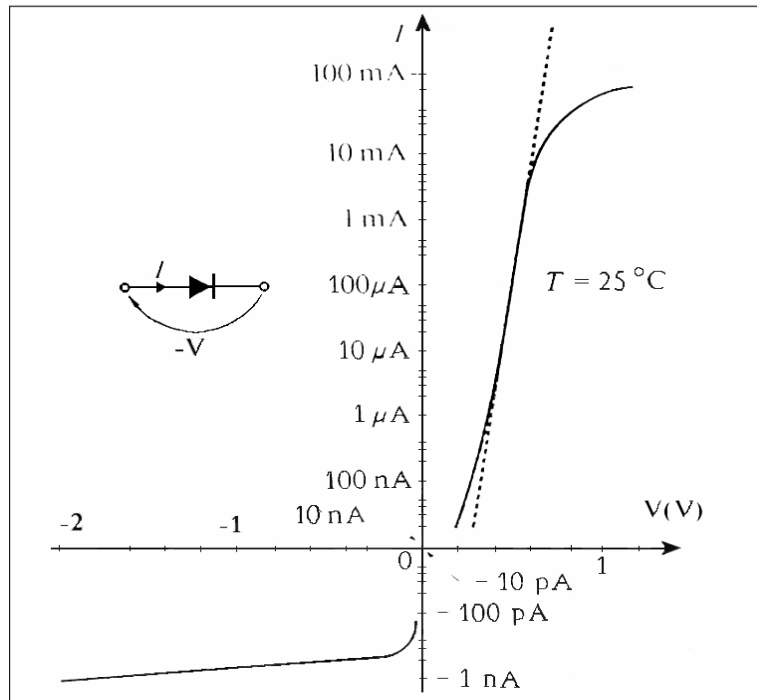
$V_T = 25 \cdot 10^{-3} \text{ V}$, a temperatura ambiente (circa 27 °C)

- K è la costante di Boltzmann e vale $1,38 \cdot 10^{-23} \text{ [J / K]}$
- T è la temperatura assoluta, espressa in gradi Kelvin
- q è la carica dell'elettrone.

La caratteristica del diodo è rappresentata sul piano tensione - corrente dove la corrente è espressa in mA e la tensione in V.



In scala semi-logaritmica è :



Esaminando il primo quadrante, è possibile evidenziare che la corrente cresce esponenzialmente con l'aumentare della tensione.

Dalla relazione

$$i = I_s (e^{\frac{v}{n \cdot V_T}} - 1)$$

e considerando

$$v \gg V_T$$

si ottiene :

$$i \cong I_s \cdot e^{\frac{v}{n \cdot V_T}}$$

Nel terzo quadrante la tensione è negativa:

$$i \cong -I_s$$

Considerando quindi

$$i_1 = I_s \cdot e^{\frac{v_1}{n \cdot V_T}}$$

$$i_2 = I_s \cdot e^{\frac{v_2}{n \cdot V_T}}$$

facendone il rapporto

$$\frac{i_1}{i_2} = e^{\frac{v_1 - v_2}{n \cdot V_T}}$$

ed il logaritmo

$$\log_{10} \frac{i_1}{i_2} = \frac{v_1 - v_2}{n \cdot V_T}$$

si ottiene

$$\log_{10} \frac{i_1}{i_2} = \frac{0,434}{n \cdot V_T} \cdot (v_1 - v_2)$$

Se per esempio si considera:

$$i_1 = 10 \ i_2$$

si ottiene una differenza di tensione:

$$v_1 - v_2 \cong 120 \text{ mV}$$

avendo posto $n = 2$ per un diodo al silicio.

Questo significa che basta una piccola ΔV per provocare una grande ΔI se ci si trova a lavorare nel primo quadrante.

Il diodo presenta una forte dipendenza dalla temperatura, in particolare si hanno due dipendenze:

$$V_T = \frac{T}{11600}$$

Aumentando la temperatura, a parità di corrente la tensione diminuisce.

$$I_s(T) = I_s(T_1) \cdot 2^{\frac{T - T_1}{10}}$$

Nel terzo quadrante se cresce T , I_s in modulo aumenta, quindi la curva si abbassa.

Effetti della temperatura

La corrente di perdita I_s dipende dalla temperatura della giunzione indicata con T_j e aumenta, approssimativamente del $+7.2\% / ^\circ\text{C}$ sia per diodi al silicio che al germanio.

Quindi, sommando ciascun incremento relativo a un grado per una variazione della temperatura di giunzione di 10°C , si ha un raddoppio di I_s per ogni incremento della temperatura di 10°C e quindi la sua corrente può essere espressa nella forma:

$$I_S(T_j) = I_S(T_0) \cdot 2^{\frac{(T_j - T_0)}{10}} = I_S(T_0) \cdot 2^{0.1(T_j - T_0)}$$

Dove $I_S(T_0)$ è la corrente di perdita alla temperatura T_0 .

Ricordando che la tensione v_D vale:

$$v_D = nV_T \ln\left(\frac{i_D}{I_S}\right)$$

e sostituendovi :

$$V_T = \frac{k \cdot T_K}{q}$$

si ricava la dipendenza della tensione ai capi del diodo dalla temperatura , che risulta essere :

$$v_D = \frac{n \cdot k(273 + T_j)}{q} \ln\left(\frac{i_D}{I_S}\right)$$

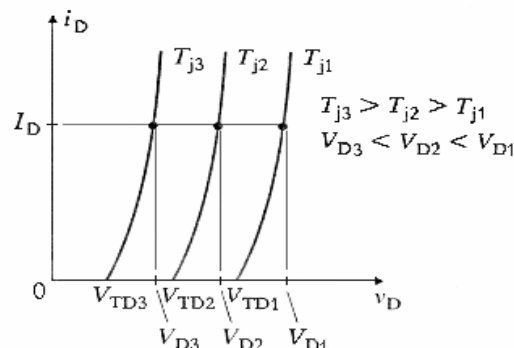
con T_j espresso in °C.

Differenziando v_D , rispetto a T_j , si ottiene :

$$\frac{\partial v_D}{\partial T_j} = \frac{n \cdot k}{q} \ln\left(\frac{i_D}{I_S}\right) - \frac{n \cdot k(273 + T_j)}{q \cdot I_S} \frac{dI_S}{dT_j} = \frac{v_D}{273 + T_j} - \frac{nV_T}{I_S} \frac{dI_S}{dT_j}$$

Si osservi che per un valore costante di v_D il valore dell'equazione diminuisce all'aumentare di T_j ; inoltre , per un valore costante di i_D , la tensione ai capi del diodo v_D diminuisce all'aumentare della temperatura .

In figura è riportata la dipendenza della temperatura dalla caratteristica del diodo in polarizzazione diretta .



Anche la tensione di soglia V_{TD} dipende dalla temperatura e precisamente diminuisce all'aumentare della temperatura stessa : in particolare , la variazione di V_{TD} in funzione di T_j è approssimativamente lineare , ovvero :

$$V_{TD}(T_j) = V_{TD}(T_0) + K_{TC}(T_j - T_0)$$

dove :

T_0 = temperatura iniziale della giunzione (25°C)

T_j = temperatura finale della giunzione in °C

$V_{TD}(T_0)$ = tensione di soglia alla temperatura di giunzione T_0 , che vale 0.7 V per diodi al Silicio , 0.3V per diodi al Germanio e 0.3 V per diodi Scottky.

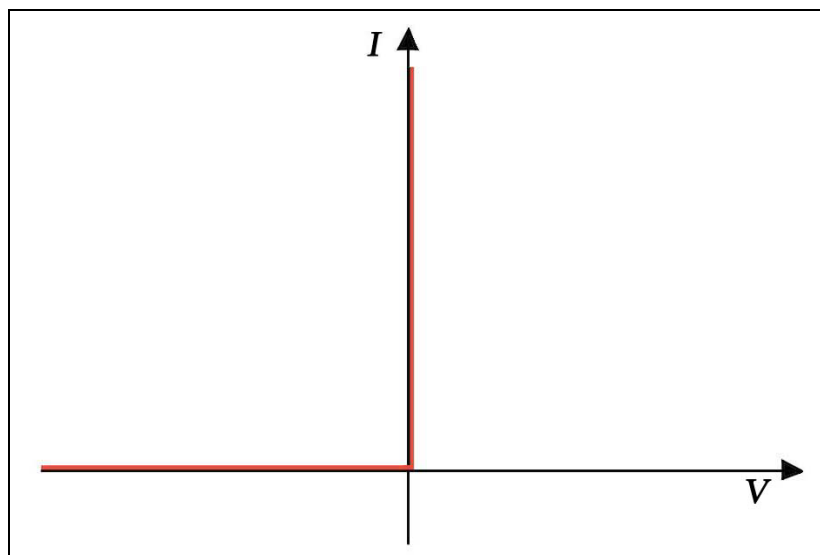
$V_{TD}(T_j)$ = tensione di soglia alla temperatura di giunzione T_j

K_{TC} = coefficiente termico in V/°C , che vale -2.5 mV/°C per diodi al Germanio , -2 mV/°C per diodi al Silicio e -1.5 mV/°C per diodi Schottky.

2.3 Approssimazione ai grandi segnali della caratteristica del diodo

La caratteristica illustrata è poco usata per la risoluzione dei circuiti perché porta ad equazioni non lineari. Pertanto si preferisce utilizzare delle caratteristiche lineari a tratti.

1. Approssimazione “brutale” (Polarizzazione Diretta)



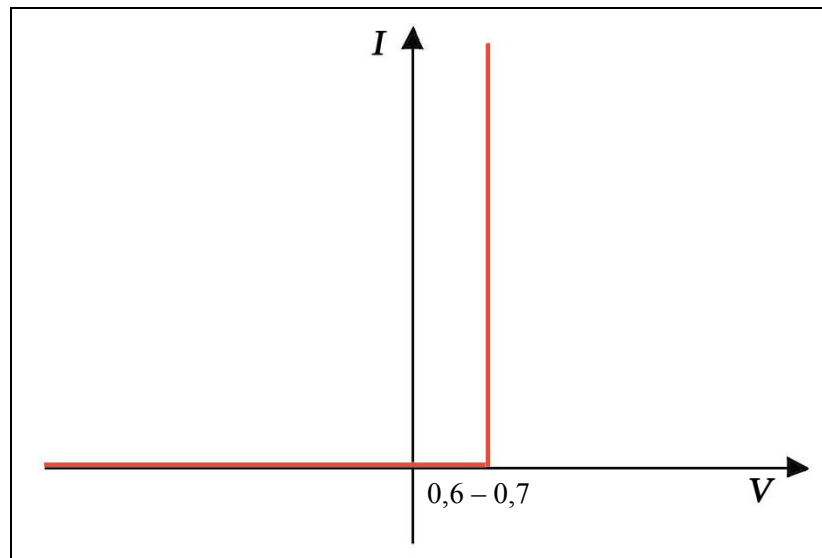
Il diodo può essere utilizzato per fare passare la corrente in un senso e non nell'altro, per cui si può approssimare la caratteristica con :

- un circuito aperto per $V < 0$: la corrente che passa attraverso il diodo è nulla.
- un cortocircuito per $V > 0$.

Questa approssimazione non rispecchia molto bene il comportamento reale del componente perché non tiene conto che :

- I_s non è 0 ma è sempre diversa da 0 anche se molto piccola.
- se si vuole approssimare la zona 2 con un comportamento a soglia, quest'ultima non è $V = 0$ ma $0,6 - 0,7$ V.
- in questa approssimazione non viene tenuta in considerazione la zona di break-down, per cui risulta inadatta per molte applicazioni.

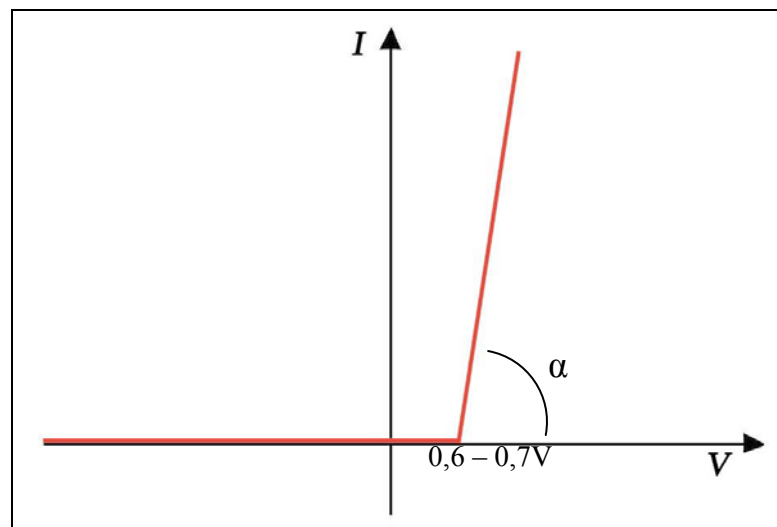
2. Approssimazione della zona di Polarizzazione Diretta



Considerando la stessa approssimazione usata prima per la zona 2 (secondo quadrante), è possibile spostare la soglia positiva a $V = 0,6 - 0,7$ V trasformando il cortocircuito in un generatore indipendente di tensione. Questa approssimazione migliora la precedente introducendo il valore di soglia. In pratica il diodo, nella zona di funzionamento, viene approssimato con i seguenti due circuiti

- per $V < 0,6 - 0,7$ V il diodo si comporta come un circuito aperto
- per $V > 0,6 - 0,7$ V il diodo si comporta come un generatore di tensione.

3. Migliore approssimazione della zona di Polarizzazione Diretta

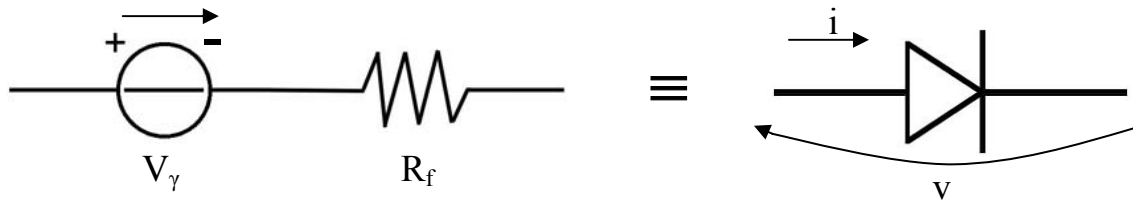


Una migliore approssimazione della caratteristica di funzionamento della zona 1 (primo quadrante) consiste nel sostituire la retta verticale a $0,6-0,7$ V con una retta con pendenza quasi infinita.

Il reciproco della tangente dell'angolo α è la resistenza R_f (resistenza “forward”) che rappresenta la resistenza del diodo in polarizzazione diretta (ai “grandi segnali”).

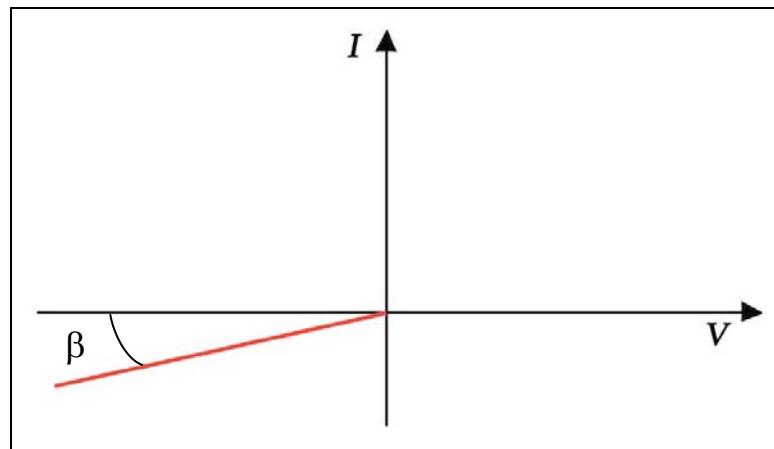
$$\frac{1}{\operatorname{tg} \alpha} = R_f$$

Il circuito equivalente per $V > 0,6-0,7$ V risulta composto da un generatore di tensione in serie alla resistenza R_f .



V_γ vale circa 0,6-0,7 V mentre R_f è variabile da 5 a 50 Ω . Il valore della R_f è basso poiché $\alpha \cong \pi/2$.

4. Approssimazione in polarizzazione inversa



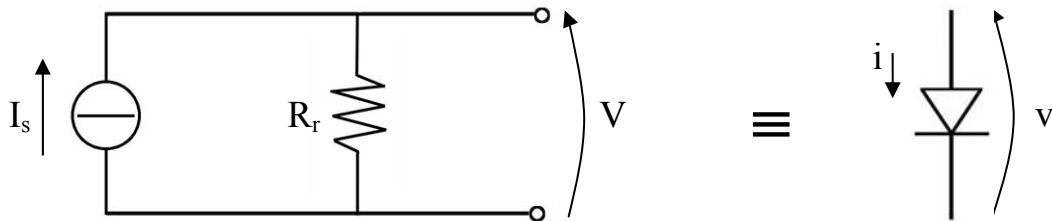
L'approssimazione della zona 2 può essere migliorata sostituendo al circuito aperto una retta di pendenza β poco elevata.

Il reciproco della tangente dell'angolo β è la resistenza R_r (resistenza “reverse”) che rappresenta la resistenza del diodo in polarizzazione inversa.

$$\frac{1}{\operatorname{tg} \beta} = R_r$$

Il valore di R_r è molto elevato poiché $\beta \cong 0$, $R_r \cong 10^5 \Omega$.

Il circuito equivalente per $V < 0$ risulta composto da un generatore di corrente in parallelo alla resistenza R_r cioè un circuito equivalente tipo Norton.



Questa approssimazione non è molto usata poiché si preferisce il circuito aperto in quanto è più semplice e comunque realistico.

2.4 Applicazioni del diodo

Conversione da tensione alternata a continua (ac-dc)

Il circuito raddrizzatore a diodi a singola o doppia semionda è un blocco facente parte di un alimentatore.

L'alimentatore è uno strumento che permette di trasformare la corrente di rete (corrente alternata con un valore efficace di 220 V), in corrente continua costante di valore di tensione pari a 5, 10, 12 V. Esso è costituito da più parti (blocchi) collegati tra loro:



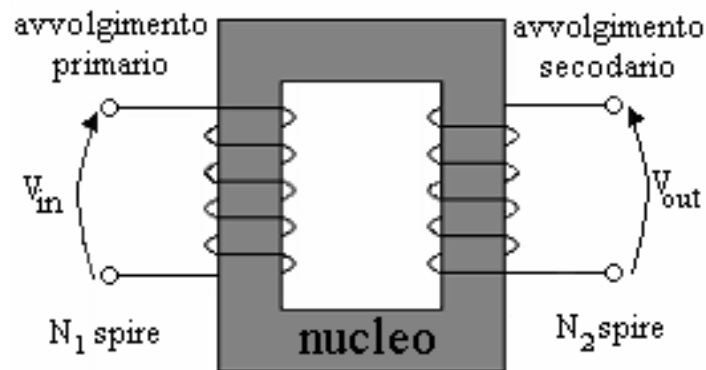
Il trasformatore è un dispositivo formato da due induttori accoppiati tra loro mediante un nucleo di materiale ferromagnetico. Serve per modificare i valori di tensione e corrente efficaci di una sinusoide, lasciandone invariata la frequenza.

Il circuito raddrizzatore a diodi può essere a singola o doppia semionda, ha il compito di variare il valor medio del segnale, da 0 ad un valore positivo.

Il filtro è costituito da un circuito RC, il cui scopo è di mantenere costante il valore della tensione nel tempo.

Il regolatore di tensione è un circuito che consente di mantenere la tensione costante indipendentemente dal carico R_L a valle del circuito.

Trasformatore



V_{in} = tensione di rete

Il trasformatore è costituito da due solenoidi che condividono un nucleo di materiale ferromagnetico.

Il trasformatore garantisce l'isolamento elettrico fra primario e secondario.

$$V_{in} = \frac{120}{\sqrt{2}} \sin(2 \cdot \pi \cdot 60 \cdot t) \quad \text{tensione di rete}$$

$$V_{out} = \frac{120}{\sqrt{2}} \frac{N_2}{N_1} \sin(2 \cdot \pi \cdot 60 \cdot t)$$

Se sul secondario si vuole una tensione di picco di , ad esempio 5V , allora si usa la formula :

$$\frac{N_2}{N_1} = \frac{1}{15}$$

Circuito raddrizzatore a diodo

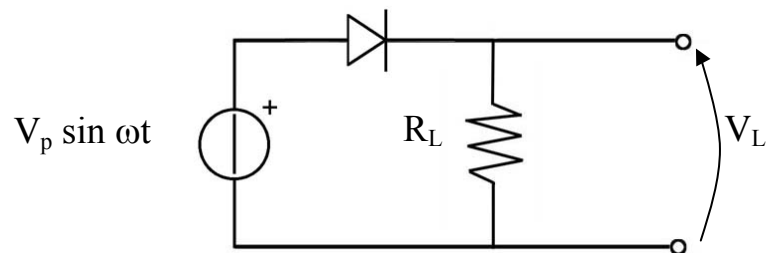
Grazie alla caratteristica a interruttore del diodo, è possibile utilizzarlo per convertire la tensione alternata in continua al fine di alimentare circuiti e/o sistemi. Questo utilizzo del diodo viene detto *raddrizzatore di tensione*.

Il diodo, quando viene utilizzato nella forma di raddrizzatore, è in grado di variare il valor medio dell'onda in ingresso.

I raddrizzatori possono essere a singola o a doppia semionda a seconda che taglino la parte negativa dell'onda o ne facciano il modulo.

Circuito raddrizzatore a singola semionda

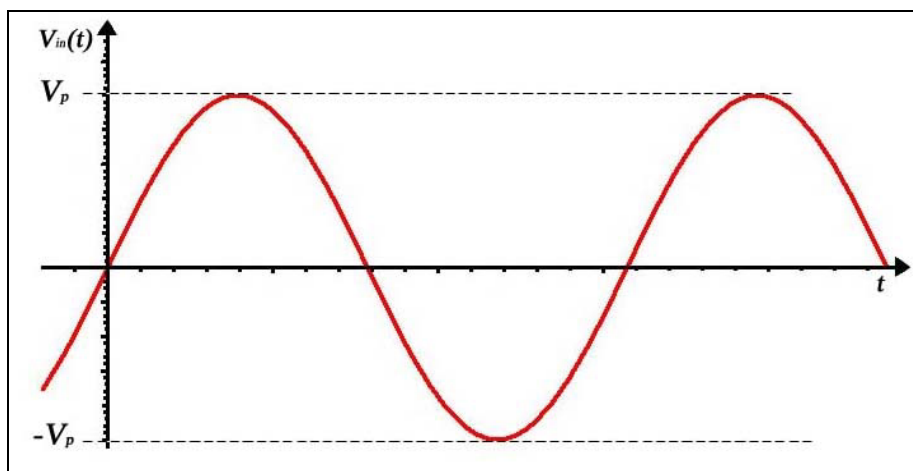
Si consideri il seguente circuito



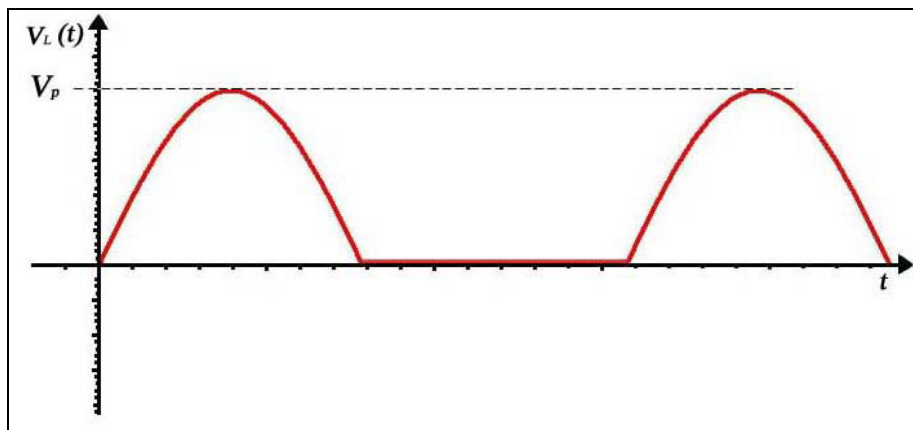
dove R_L è la resistenza del circuito e il generatore indipendente genera una tensione variabile nel tempo formando una curva sinusoidale.

Sia la $V_{in}(t)$:

$$V_{in}(t) = V_p \cdot \sin(\omega \cdot t)$$



e considerando l'approssimazione brutale del diodo, ottengo un taglio del grafico, cioè la $V_L(t)$ è nulla se la $V_{in}(t) < 0$

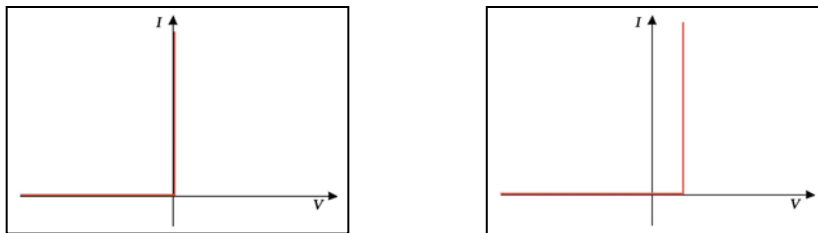


In pratica la forma d'onda risultante è

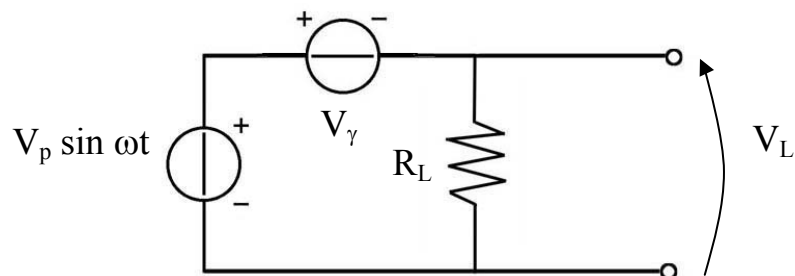
$$V(t) \begin{cases} V_p \sin(\omega t) & \text{se } V_{in}(t) > 0 \\ 0 & \text{se } V_{in}(t) < 0 \end{cases}$$

Il diodo lascia passare solo la semionda positiva e annulla quella negativa. La parte di onda positiva rimane inalterata perché il diodo nella approssimazione brutale funziona come un corto circuito.

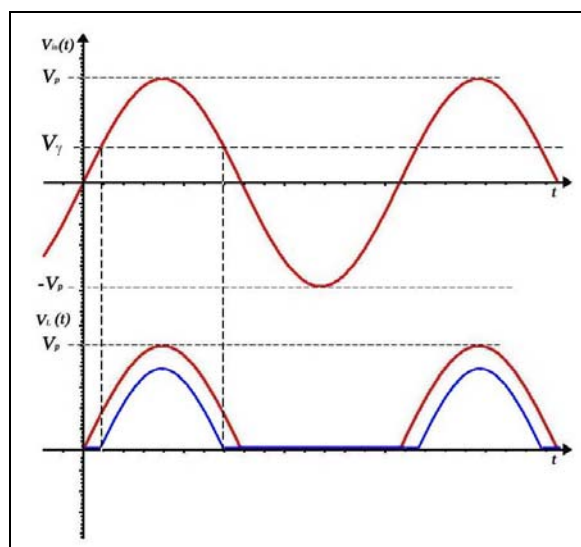
Si consideri ora il secondo modello di approssimazione. Le variazioni apportate da questa caratteristica, rispetto all'approssimazione brutale, riguardano solo la parte di semionda positiva poiché, nella parte negativa, i due modelli si equivalgono.



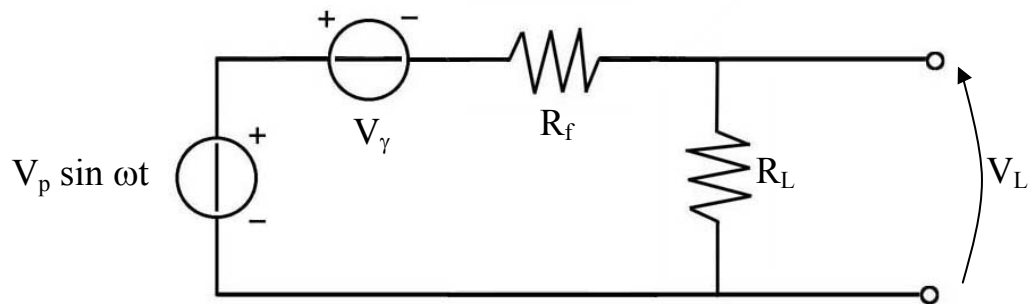
Se consideriamo la $V(t) > 0$, il circuito del diodo diventa:



per cui la forma d'onda in uscita viene abbassata di un valore costante e pari a V_γ . In pratica il diodo continua a tagliare la curva anche se $V_{in}(t) > 0$ ma $V_L(t)$ assume valori minori di V_γ rispetto a $V_{in}(t)$ come è possibile vedere dal grafico considerando la curva blu tratteggiata.



Infine è possibile utilizzare il terzo modello di approssimazione. Per $V(t) > 0$, il circuito diventa:



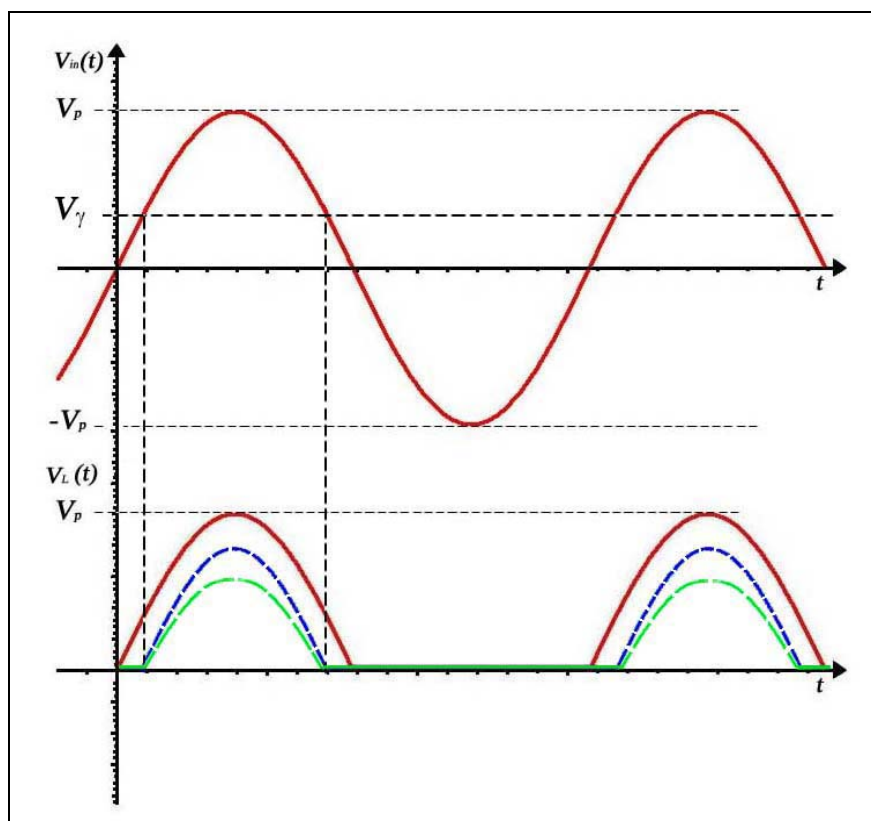
Quindi:

$$V_L(t) = V(t) - V_\gamma - R_f \cdot I$$

da cui, considerando che le due resistenze costituiscono un partitore di tensione:

$$V_L(t) = [V(t) - V_\gamma] \cdot \frac{R_L}{R_L + R_f}$$

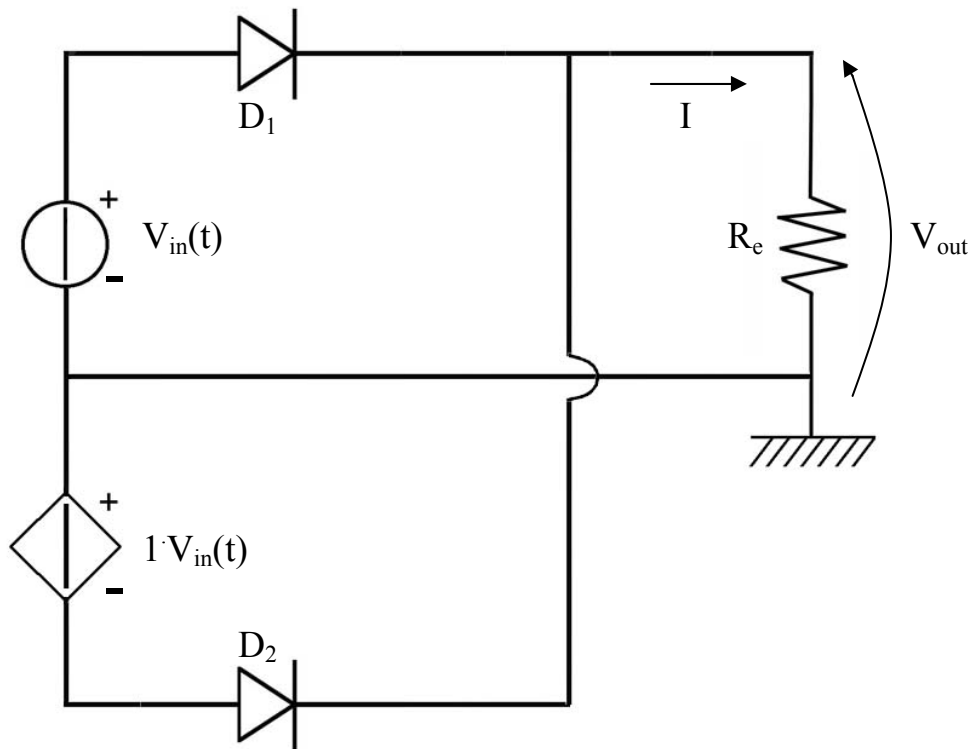
Il valore di V_L è ridotto ulteriormente, rispetto alla approssimazione precedente, dalla presenza di R_f . Viene ora mostrato un confronto fra le tre approssimazioni. La rossa indica la prima, la blu tratteggiata stretta la seconda e la verde tratteggiata larga la terza.



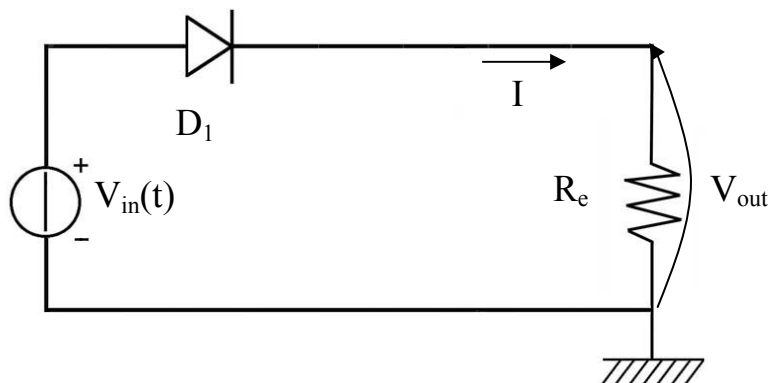
Circuito raddrizzatore a doppia semionda

I circuiti analizzati fino ad ora raddrizzano solo una semionda del segnale in ingresso, e tagliano l'altra metà. Per realizzare circuiti che raddrizzano tutte le semionde occorre aggiungere alcuni componenti. Tra i circuiti che permettono questa operazione verranno esaminati i due seguenti:

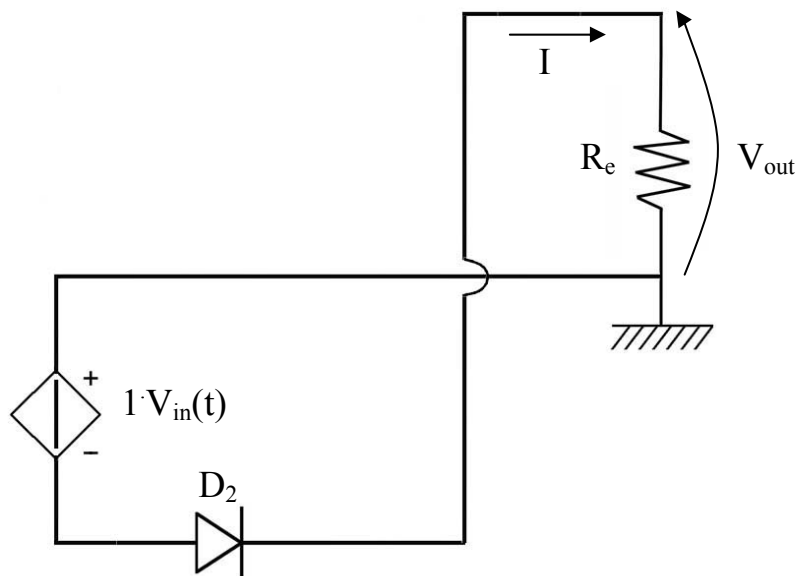
- Circuito con generatore pilotato (caso “ideale”)



Il circuito è formato da due diodi, D_1 e D_2 considerati ideali ($V_\gamma=0$ V), e da un generatore pilotato lineare VCVS, tale che il potenziale generato è $1 \cdot V_{in}(t)$. Durante la semionda positiva del segnale di ingresso D_2 diventa un circuito aperto, per cui il circuito equivalente diventa:



Nella semionda negativa è D1 che diventa un circuito aperto per cui il circuito equivalente diventa:

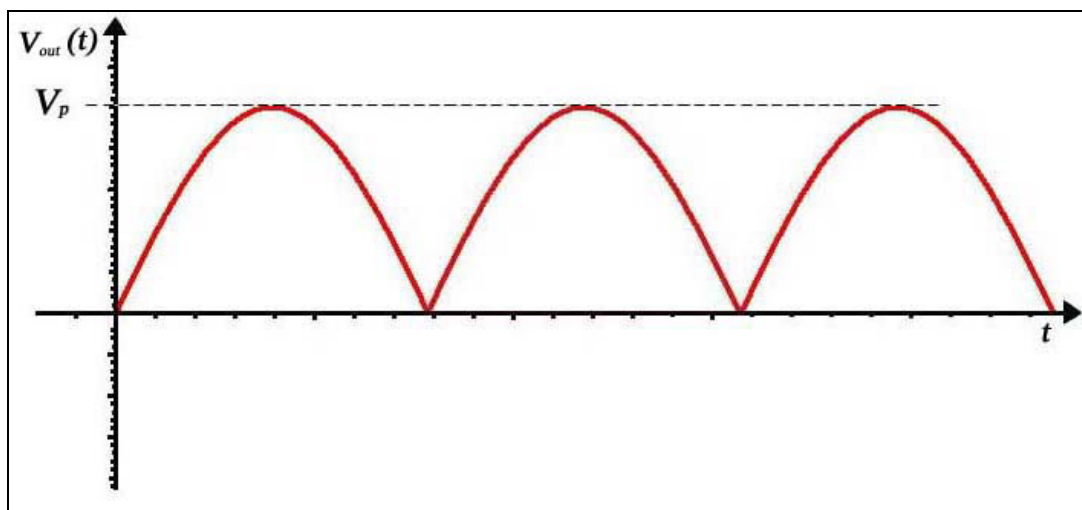


In entrambi i casi la V_{out} risulta positiva, per cui, dato il segnale di ingresso:

$$V_{in}(t) = V_p \cdot \sin(\omega \cdot t)$$

la tensione di uscita risulta essere:

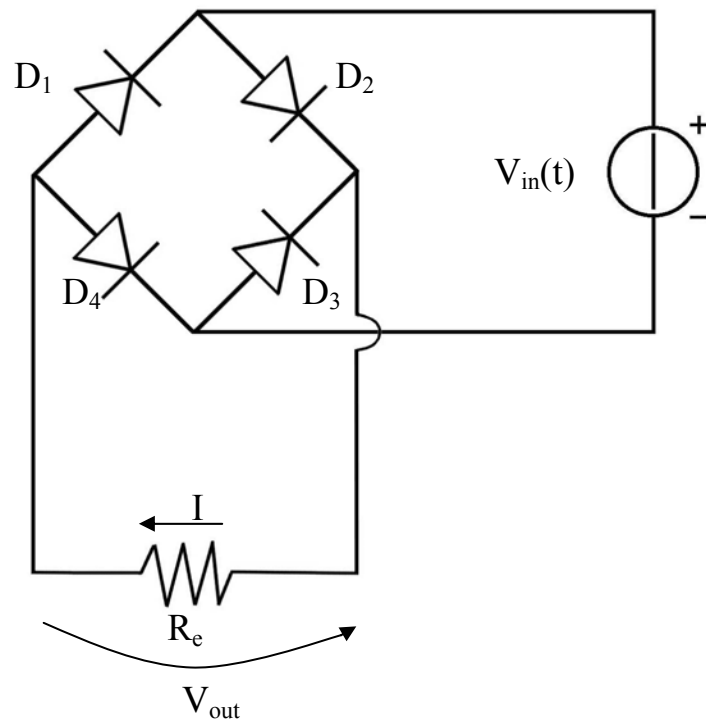
$$V_{out}(t) = V_p \cdot |\sin(\omega \cdot t)|$$



Questa forma d'onda ha un valor medio maggiore rispetto alla tensione di uscita nel caso del circuito a singola semionda.

– *Ponte di Graetz*

Molto spesso il generatore pilotato è un componente di non facile realizzazione, pertanto si preferisce utilizzare qualche diodo in più, ottenendo un circuito costruttivamente più semplice (ponte di Graetz).



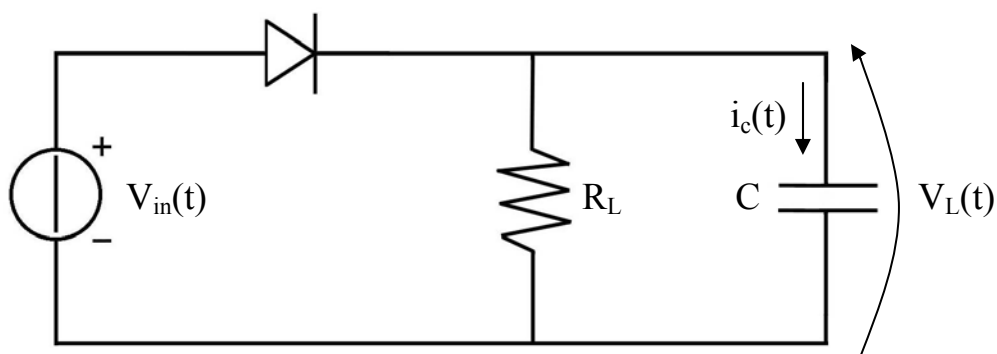
Circuito raddrizzatore a diodi a singola semionda con condensatore di filtro

Per trasformare la tensione alternata in tensione continua occorre:

1. raddrizzarla con i circuiti raddrizzatori visti in precedenza
2. renderla il più possibile costante nel tempo: si deve cercare di ottenere una corrente continua, non pulsante (tramite filtri capacitivi).

Il circuito è il seguente:

- nel secondo ramo viene inserito un condensatore in parallelo con il carico:



L'equazione caratteristica del condensatore è :

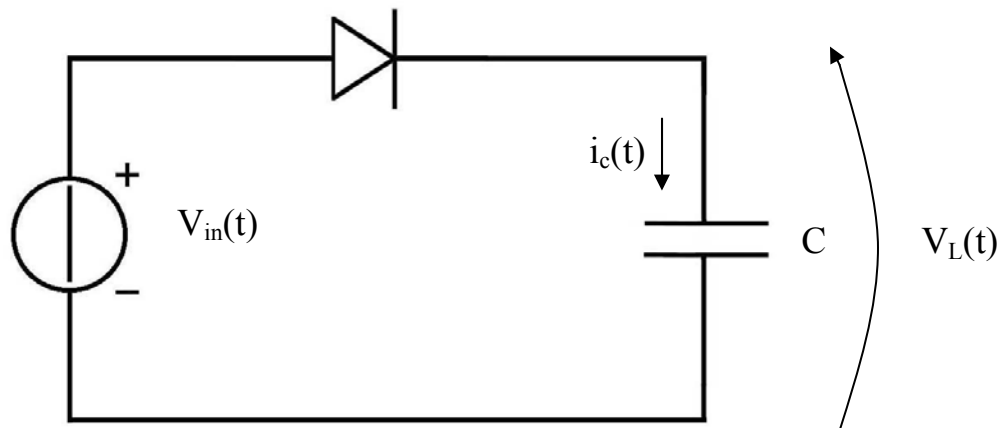
$$i_c(t) = C \cdot \frac{dV_L(t)}{dt}$$

All'istante $t = t_0$ il condensatore è carico alla tensione $V(t_0)$ per cui integrando nel tempo, l'equazione precedente, si ottiene :

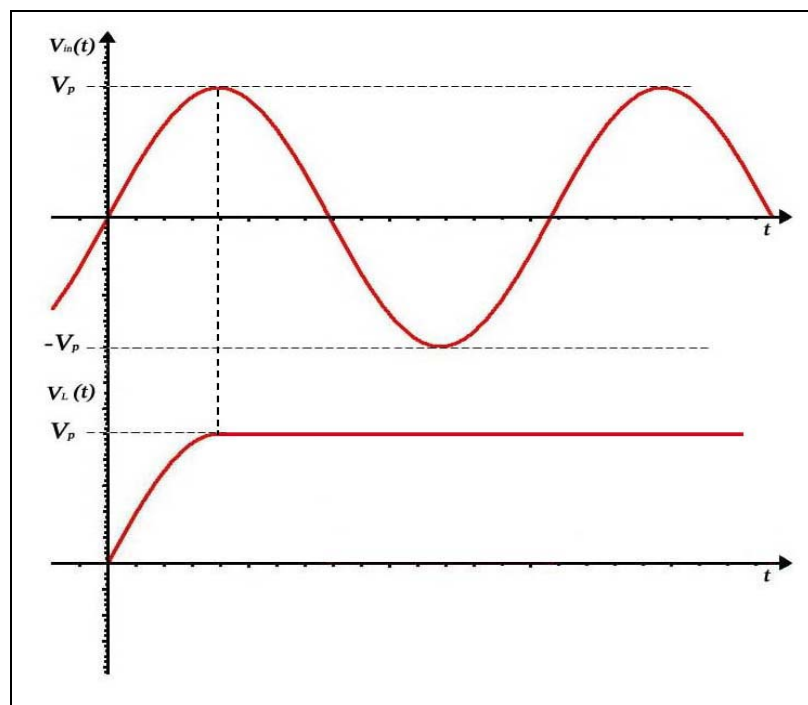
$$V(t) = V(t_0) + \frac{1}{C} \cdot \int_{t_0}^t i(t) \cdot dt$$

La precedente è un'equazione integrale che evidenzia la capacità del condensatore di memorizzare lo stato.

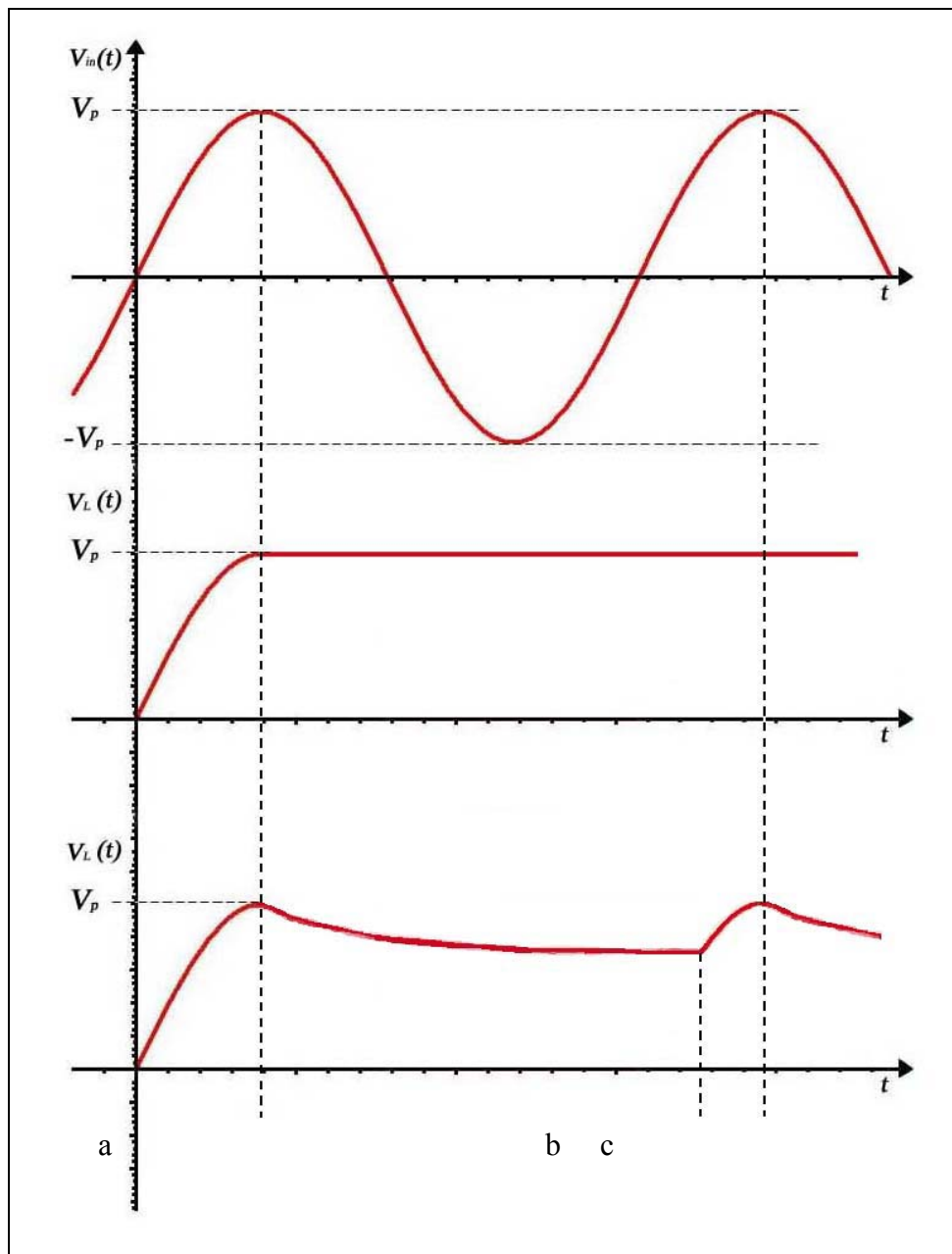
Si supponga ora il diodo ideale e la resistenza R_L nulla.



Fino a quando la tensione del generatore (si suppone sinusoidale) cresce, cioè sino a V_p , il generatore carica il condensatore ed il diodo lavora in polarizzazione diretta. Quando la tensione sul generatore inizia a scendere, il diodo va in polarizzazione inversa diventando un circuito aperto, per cui la tensione in uscita dal generatore non “sente” più la presenza della resistenza e del condensatore e rimane costante sul valore V_p .



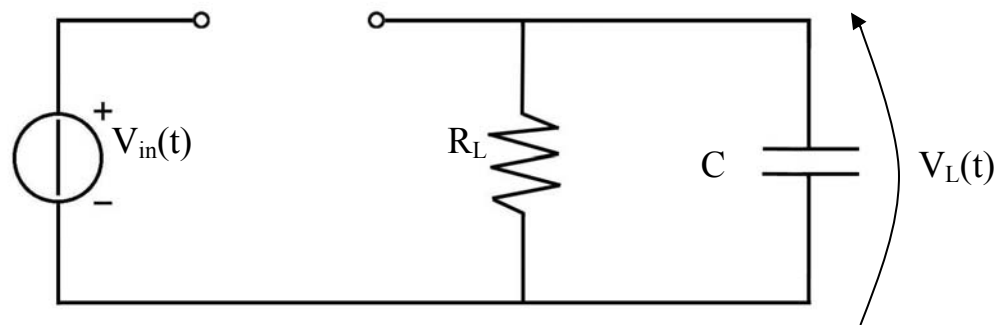
Considerando il carico R_L non nullo si ottiene il grafico in basso:



Fino al punto a , il valore di $V_L(t)$ cresce ed il diodo lavora in polarizzazione diretta, il condensatore si carica e la differenza di potenziale ai capi di R_L è proprio $V_{in}(t)$.

Quando la $V(t)$ raggiunge il massimo e sta per decrescere, il diodo inizia a lavorare in inversa e si comporta come un circuito aperto ed il condensatore si scarica lentamente in presenza della resistenza in parallelo R_L .

Il circuito con il diodo approssimato in polarizzazione inversa diventa :



La velocità con cui si scarica il condensatore dipende dal valore di C e dal valore di R_L , ma in genere è più lenta della velocità di variazione della tensione del generatore sinusoidale.

Quando la $V_L(t)$ diventa 0, dopo aver raggiunto il minimo, e inizia a crescere positivamente, il diodo, se non ci fosse il condensatore, andrebbe in diretta, ma rimane ancora polarizzato in inversa sino a che, nel punto b , il potenziale residuo del condensatore è superato da quello del generatore.

Nel punto c il diodo ritorna nuovamente in polarizzazione diretta poiché il potenziale ai capi del generatore è superiore a quello ai capi del condensatore.

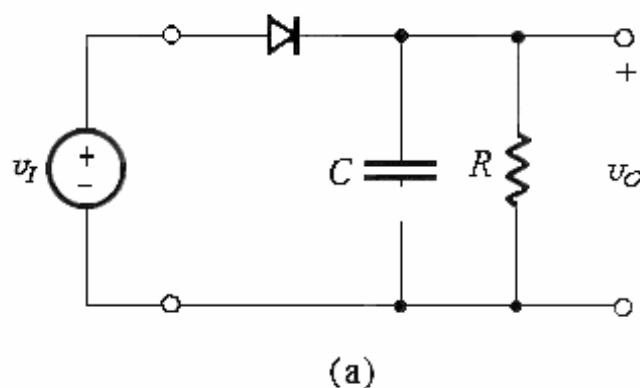
Il condensatore si scarica nuovamente sino al valore massimo d , dopodiché incomincia un nuovo periodo.

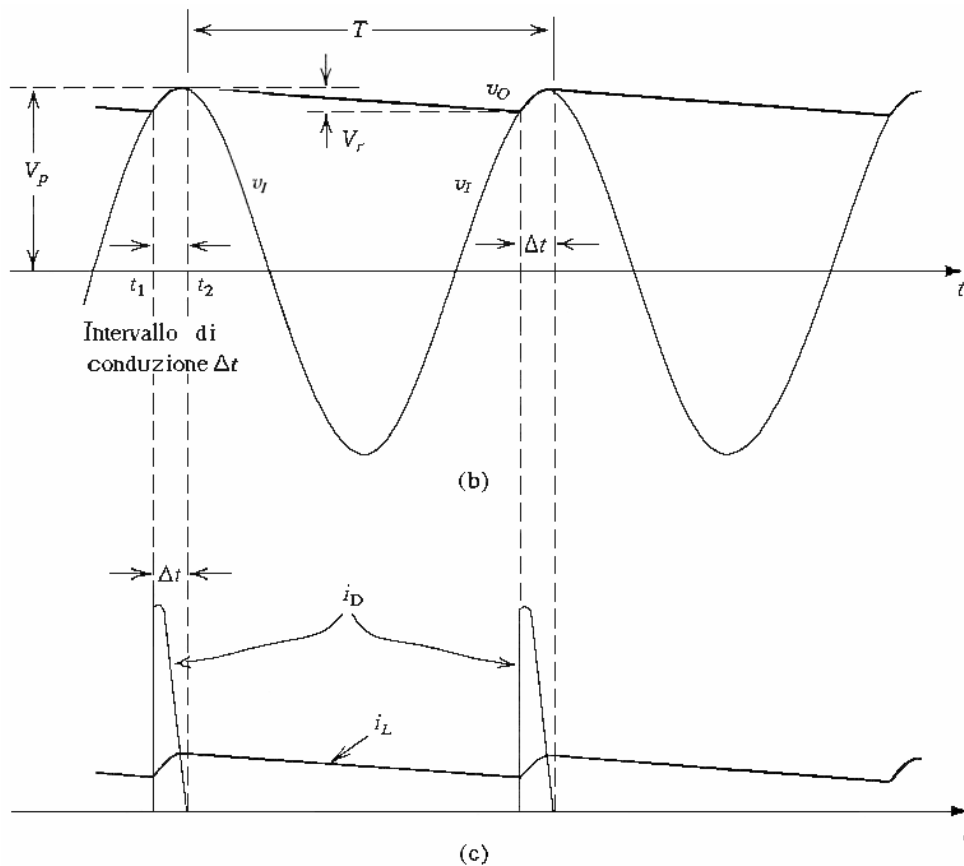
Rivelatore di picco

Consideriamo un circuito RC e assumiamo il diodo ideale .

La capacità si carica fino al valore di picco di V_p , poi il diodo esclude la capacità che si scarica attraverso la resistenza R . La capacità continua a scaricarsi per l'intero ciclo fino quando la v_i supera la tensione della capacità, poi il diodo torna in funzione , carica la capacità fino al valore di picco della v_i e il ciclo ricomincia.

Analizziamo il circuito in dettaglio :





La figura (b) mostra la forma d'onda della tensione di ingresso e uscita nella condizione in cui $CR \gg T$, dove T è il periodo della sinusoide .

La corrente di carico vale :

$$i_L = \frac{v_0}{R}$$

e la corrente del diodo :

$$i_D = i_C + i_L = C \frac{dv_i}{dt} + i_L \quad (1)$$

e sono mostrate nella figura (c).

Si può notare che :

- 1) Il diodo conduce per un breve intervallo di tempo , Δt , vicino al picco della sinusoide e fornisce una quantità di carica al condensatore pari a quella persa nel più lungo intervallo di scarica , ed è approssimativamente uguale al periodo T .
- 2) Assumendo il diodo ideale , la conduzione del diodo comincia al tempo t_1 , in cui la tensione d'ingresso v_i equivale al decremento esponenziale della tensione d'uscita v_0 .La conduzione finisce a t_2 , molto prima del picco di v_i ; l'esatto valore di t_2 può essere determinato imponendo $i_D = 0$ nell'equazione (1).

- 3) Durante l'intervallo in cui il diodo non funziona, la capacità C si scarica attraverso la resistenza R e perciò la v_0 decresce esponenzialmente secondo una costante di tempo CR . L'intervallo di scarica comincia vicino al valore di picco di v_1 . Alla fine di tale intervallo, che dura quasi un intero periodo T , si ha:

$$v_0 = V_p - V_r$$

con V_r = tensione d'onda da picco a picco.
Quando $CR \gg T$, il valore di V_r è piccolo.

- 4) Quando V_r è piccolo, v_0 è quasi costante e uguale al valore di picco v_1 . Quindi la tensione d'uscita in corrente continua è circa uguale a V_p . Ugualmente la corrente i_L è quasi costante e la sua componente in corrente continua I_L è data da:

$$I_L = \frac{V_p}{R} \quad (2)$$

Un'espressione più precisa della tensione d'uscita in corrente continua può essere ottenuta considerando la media dei valori limite di v_0 :

$$V_0 = V_p - \frac{1}{2} V_r$$

Con tale assunzione possiamo derivare l'equazione secondo V_r e per il valore medio e di picco della corrente al diodo.

Durante l'intervallo di non funzionamento del diodo, v_0 può essere espressa da:

$$v_0 = V_p \cdot e^{\frac{-t}{CR}}$$

Alla fine dell'intervallo di scarica si ha:

$$V_p - V_r \approx V_p \cdot e^{\frac{-T}{CR}}$$

Ora finché $CR \gg T$, si può usare l'approssimazione:

$$e^{\frac{-T}{CR}} \approx 1 - \frac{T}{CR}$$

per ottenere:

$$V_r \approx V_p \frac{T}{CR}$$

Si osserva che mantenendo V_r piccola, possiamo scegliere una capacità C tale che $CR \gg T$.

La tensione d'onda V_r può essere espressa in termini di frequenza cioè :

$$f = \frac{1}{T}$$

Si può notare che un'altra approssimazione è quella di considerare che la capacità si scarichi per mezzo di una corrente costante :

$$V_r = \frac{V_p}{f CR}$$

Si nota che un'interpretazione alternativa all'approssimazione fatta sopra è che il condensatore si scarichi per mezzo di una corrente costante :

$$I_L = \frac{V_p}{R}$$

che vale finché $V_r \ll V_p$.

Considerando la fig. (b) e assumendo che la conduzione del diodo cessi quasi in corrispondenza del picco di v_L , si può determinare l'intervallo di conduzione Δt dalla :

$$V_p \cos(\omega \Delta t) = V_p - V_r$$

dove :

$$\omega = 2\pi f = 2\frac{\pi}{T}$$

è la frequenza angolare di v_L .

Finché $(\omega \Delta t)$ è un angolo piccolo , possiamo applicare l'approssimazione:

$$\cos(\omega \Delta t) \approx 1 - \frac{1}{2}(\omega \Delta t)^2$$

per ottenere :

$$\omega \Delta t \approx \sqrt{2 \frac{V_r}{V_p}} \quad (3)$$

Si vede che quando $V_r \ll V_p$, l'angolo di conduzione $\omega \Delta t$ è piccolo come avevamo supposto .

Per determinare la corrente media al diodo durante la conduzione , $i_{D \text{ medio}}$, assumiamo l'ipotesi che il diodo fornisca alla capacità la carica :

$$Q_{\text{fornita}} = i_{C \text{ medio}} \Delta t$$

che equivale alla carica che il condensatore perde durante l'intervallo di scarica :

$$Q_{\text{persa}} = CV_r$$

per ottenere :

$$i_{D\text{ media}} = I_L \left(1 + \pi \sqrt{2 \frac{V_p}{V_r}} \right)$$

Deriviamo questa espressione usando l'equazione (1) e assumendo che la $i_{L\text{ media}}$ sia quella dall'equazione (2). Osserviamo che ,quando $V_r \ll V_p$, la corrente media al diodo durante la conduzione è molto maggiore della corrente di carico in corrente continua. Questo non dovrebbe sorprendere poiché il diodo conduce per un intervallo di tempo molto piccolo e deve rifornire la capacità della carica persa dalla stessa durante il più lungo intervallo nel quale si è scaricata attraverso la I_L .

Il valore di picco della corrente al diodo , $i_{D\text{max}}$, può essere determinato imponendo nell'equazione (1) che il diodo sia all'inizio della conduzione e ciò avviene a :

$$t = t_1 = -\Delta t$$

con $t = 0$ in corrispondenza del picco.

Considerando la i_L quasi uguale al valore dato dall'equazione (2) , si ha :

$$i_{D\text{ max}} = I_L \left(1 + 2\pi \sqrt{2 \frac{V_p}{V_r}} \right)$$

Dall'equazione di $i_{D\text{ medio}}$ e $i_{D\text{ max}}$ si vede che $V_r \ll V_p$, $i_{D\text{ max}} \approx 2 i_{D\text{ media}}$, che si correla con il fatto che la forma d'onda di i_D sia quasi un triangolo rettangolo (fig. c).

Il circuito di fig. (a) è conosciuto come un rilevatore di picco di una semionda .

Per un rivelatore di picco a onda completa si deve assumere che il periodo di scarica non sia più T ma $T/2$, quindi :

$$V_r = \frac{V_p}{2fCR}$$

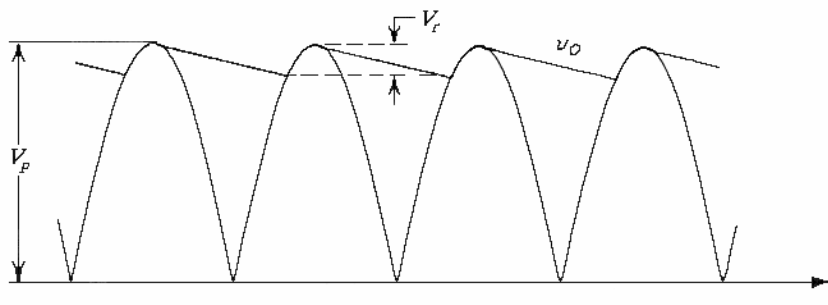
mentre l'intervallo di conduzione del diodo è sempre uguale all'equazione (3) e al corrente media e massima in ogni diodo è data dalla :

$$i_{D\text{ media}} = I_L \left(1 + \pi \sqrt{\frac{V_p}{2V_r}} \right)$$

$$i_{D\text{ max}} = I_L \left(1 + 2\pi \sqrt{\frac{V_p}{2V_r}} \right)$$

Confrontando queste espressioni con quelle del rilevatore a semionda , si note che a parità di V_p , f , R e V e quindi anche di I_L , abbiamo bisogno di un condensatore con una capacità dimezzata rispetto a quella di un condensatore per il rilevatore a semionda.

Anche la corrente in ogni diodo per un rilevatore completo è approssimativamente la metà che in uno a semionda .



Demodulatore

Un rivelatore di picco può essere usato come demodulatore per rivelare un segnale audio contenuto in un segnale radio *modulato in ampiezza* (AM).

La modulazione d'ampiezza è un metodo che consente di traslare un segnale a bassa frequenza in uno ad alta frequenza. Un segnale AM è descritto da :

$$v_s(t) = V_m [1 + M \sin(2\pi f_m t)] \sin(2\pi f_c t)$$

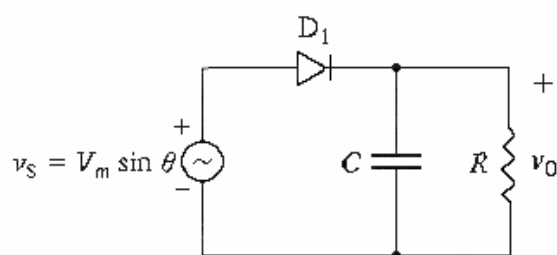
dove :

f_c = frequenza della portante

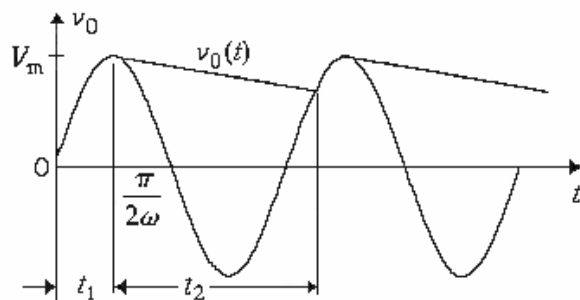
f_m = frequenza modulante

M = indice di modulazione , il cui valore può variare tra 0 e 1

V_m = valore di picco della tensione modulante



(a) Circuito



(b) Tensione d'uscita

Il termine

$$V_m [1 + M \sin(2\pi f_m t)]$$

rappresenta l'involuppo del segnale modulato , la cui pendenza (o velocità di variazione) S è data da :

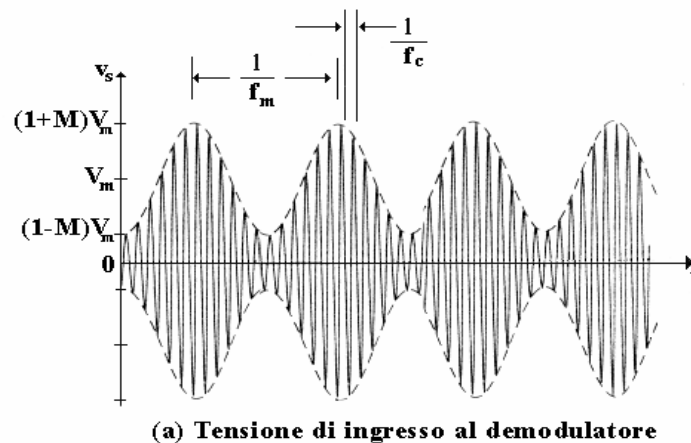
$$S = \frac{d}{dt} [V_m + M V_m \sin(2\pi f_m t)] = M 2 \pi f_m V_m \cos(2\pi f_m t)$$

Nella figura (a) è riportata la forma d'onda del segnale modulato e in figura (b) è mostrata l'uscita corrispondente dal rivelatore di picco , che approssima il segnale demodulato.

Un'opportuna scelta della costante di tempo $\tau = RC$, fa sì che l'uscita del rivelatore riveli tutti i picchi del segnale modulato .

Se la costante di tempo è troppo grande l'uscita non sarà in grado di cambiare rapidamente e il segnale risulterà distorto .

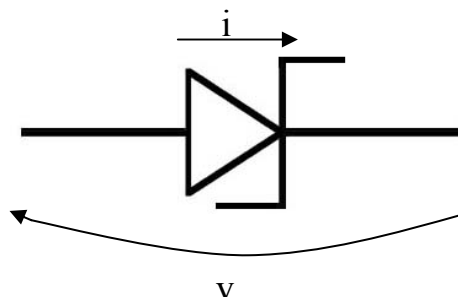
Al contrario , se la costante di tempo è troppo piccola , al segnale demodulato sarà sovrapposta una forte ondulazione.



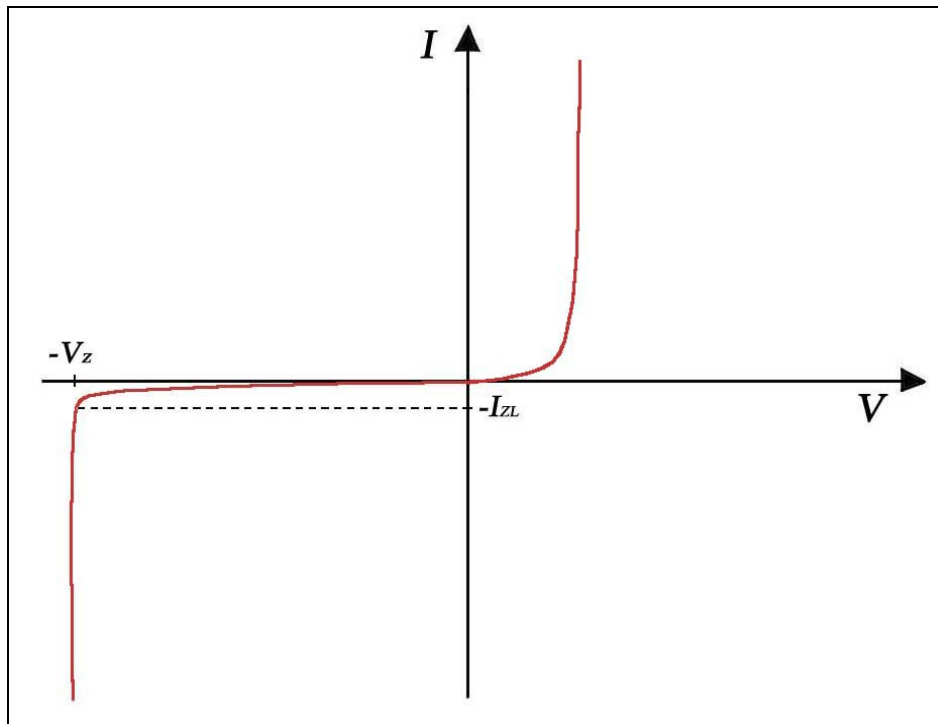
Regolatore di tensione (diodo Zener)

Il diodo Zener viene utilizzato come regolatore di tensione quando è polarizzato in zona di polarizzazione inversa (Break down).

Il simbolo è:



La caratteristica del diodo Zener è la seguente:



La caratteristica dello Zener è tale che se la corrente che lo attraversa ha un valore inferiore a I_{ZL} , la tensione ai suoi capi diventa praticamente costante e pari a V_Z . Per questo il diodo Zener viene utilizzato come regolatore di tensione.

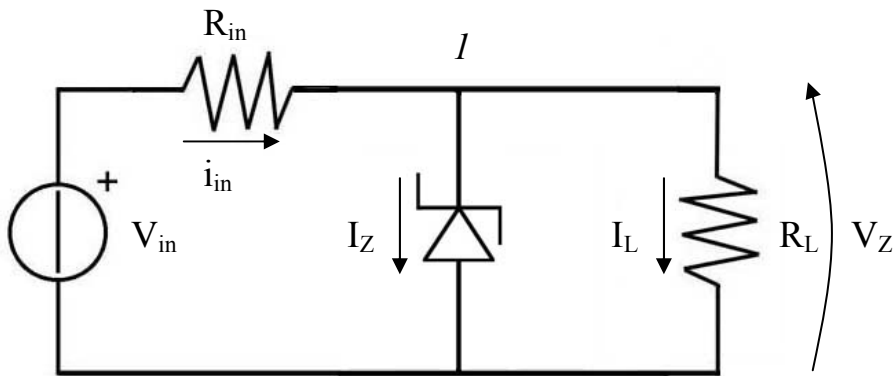
Per funzionare correttamente però lo Zener deve verificare due vincoli:

1. Per avere una V costante ai suoi capi pari a V_Z deve avere la $I < I_{ZL}$, cioè deve lavorare nella zona di Break down. Se $I > I_{ZL}$ la caratteristica del diodo si fa velocemente meno pendente e ad una piccola variazione della corrente I si associa una variazione sempre maggiore della tensione V .
2. Se applico la corrente e I assume un valore troppo elevato ($> |I_{ZL}|$), il diodo si scalda troppo poiché deve dissipare una potenza pari a

$$P(t) = V_Z(t) \cdot I(t)$$

per cui si rischia di fondere il diodo.

Si considerino ora il regolatore di tensione ed il carico; il circuito equivalente è:



Il circuito di ingresso è schematizzato con il circuito equivalente di Thevenin (generatore di tensione V_{in} e resistenza R_{in}).

La KCL al nodo 1 fornisce:

$$i_{in} = I_L + I_Z$$

dove

$$i_{in} = \frac{V_{in} - V_Z}{R_{in}}$$

$$I_L = \frac{V_Z}{R_L}$$

$$I_Z = \frac{V_{in} - V_Z}{R_{in}} - \frac{V_Z}{R_L}$$

Si può notare che una variazione del carico R_L non determina una variazione di V_Z che rimane costante, ma fa variare I_L e di conseguenza I_Z , cioè la corrente assorbita dal diodo Zener.

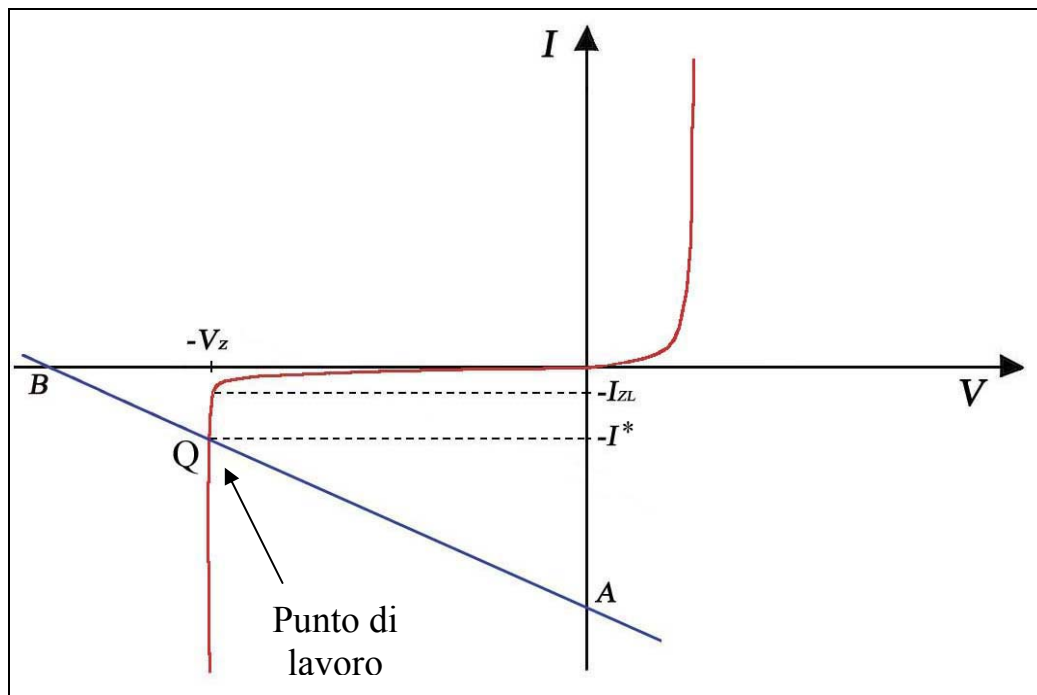
Il punto di lavoro viene determinato dalla intersezione della caratteristica del diodo Zener con quella del resto del circuito. La caratteristica del circuito è una retta di equazione:

$$V_{in} - R_{in} I_Z - V_z = 0$$

che passa per i punti:

$$A \left(0, -\frac{V_{in}}{R_{in}} \right)$$

$$B \left(-\frac{\frac{V_{in}}{R_{in}}}{\frac{1}{R_L} + \frac{1}{R_{in}}}, 0 \right)$$

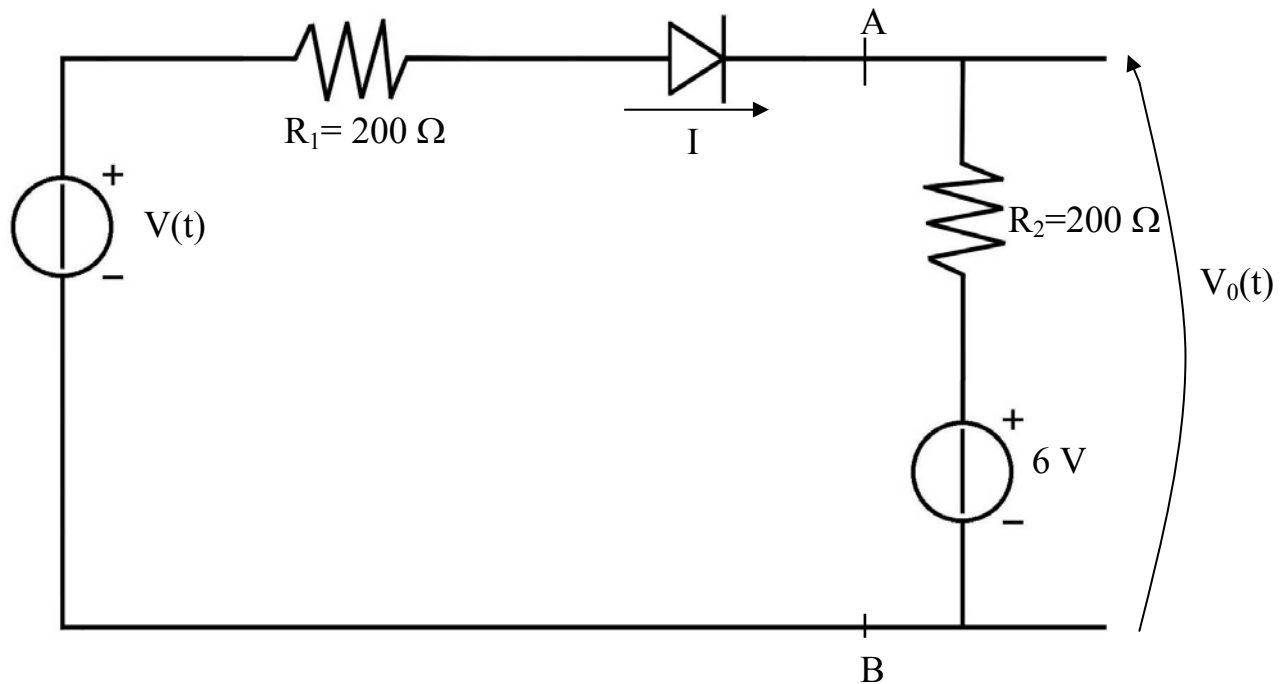


Variando la caratteristica del circuito e quindi la retta di carico varia la I^* (corrente nel punto di lavoro), ma la V^* (tensione nel punto di lavoro) rimane costante e uguale a V_Z . Questo si verifica a condizione che I^* sia minore della I_{ZL} .

In questo modo si elimina la dipendenza del punto di lavoro da R_L .

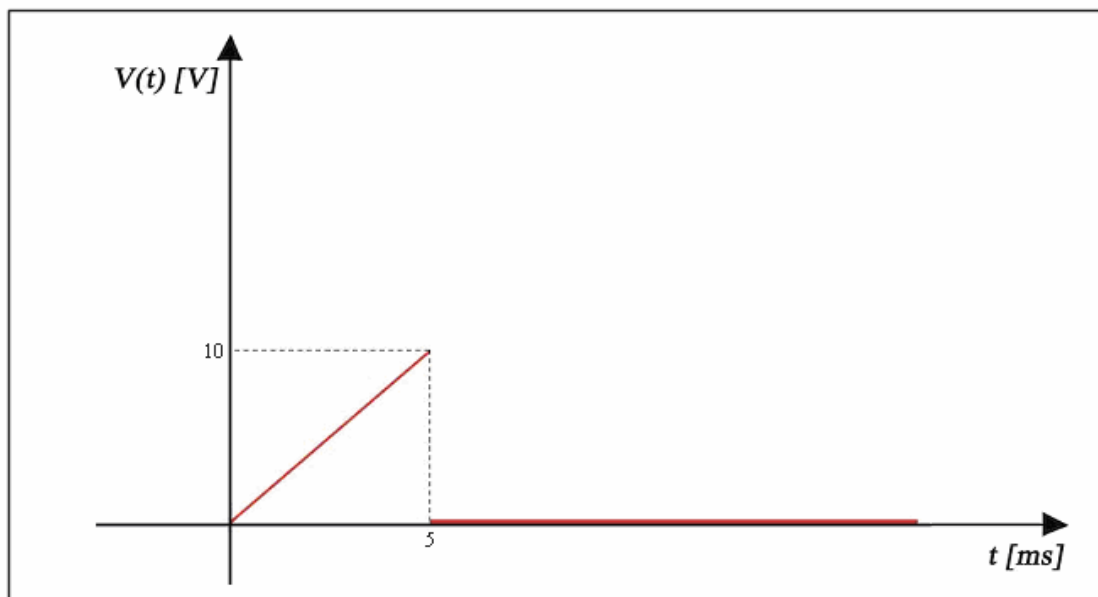
Circuiti di Clipping

Si consideri il seguente circuito:



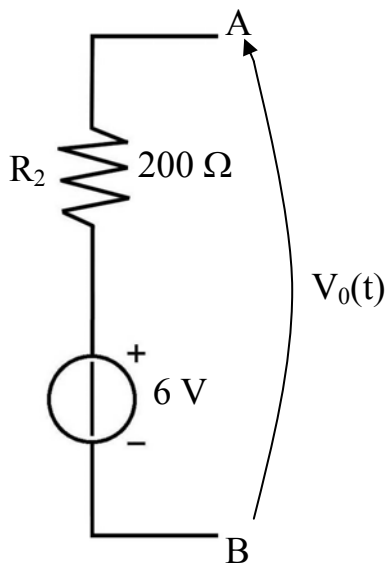
Sia $V(t)$ a tensione di ingresso rappresentata dalla seguente funzione:

$$V(t) = \begin{cases} 0 & t \leq 0, t \geq 5 \, \text{ms} \\ 2t & 0 < t < 5 \, \text{ms} \end{cases}$$



Si richiede di calcolare la $V_0(t)$.

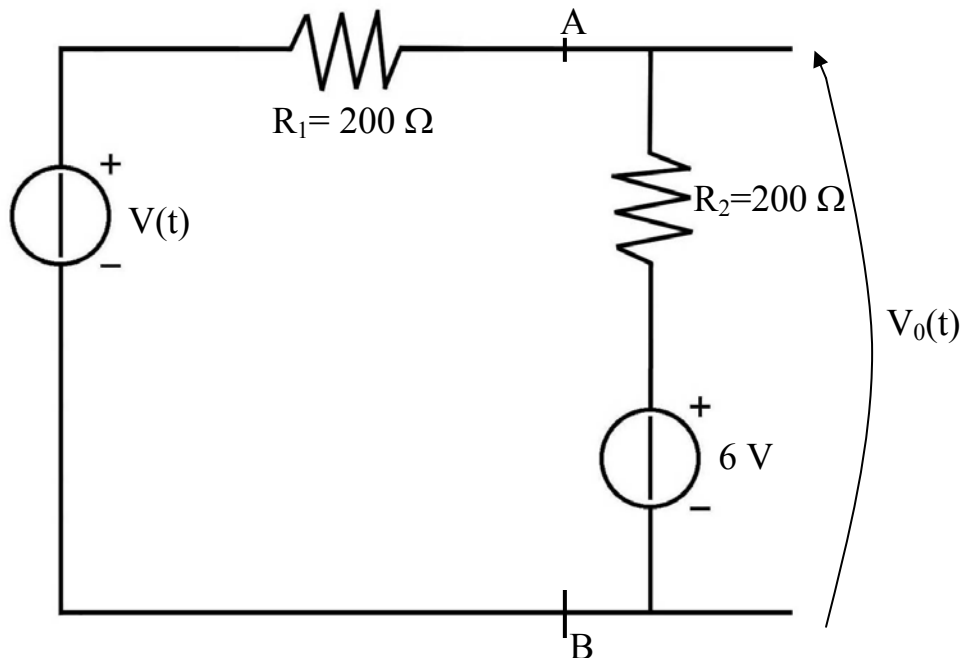
Fino a quando il diodo lavorerà in inversa il circuito potrà essere rappresentato nel seguente modo



$V_0(t)$ vale 6V, perché $I = 0$.

Il diodo rimane polarizzato in inversa fino a quando $V(t) \leq 6V$; supponendo il diodo ideale ($V_\gamma = 0$), per $t \leq 3$ e per $t \geq 5$.

Nell'intervallo di tempo $[3, 5]$ ms quindi il diodo lavora in diretta, diventando quindi un cortocircuito (diodo ideale). Il circuito diventa:



Applicando le KVL si ottiene:

$$V(t) - 200 I - 200 I - 6 = 0$$

da cui si ricava:

$$I = \frac{V(t) - 6}{400}$$

Inoltre:

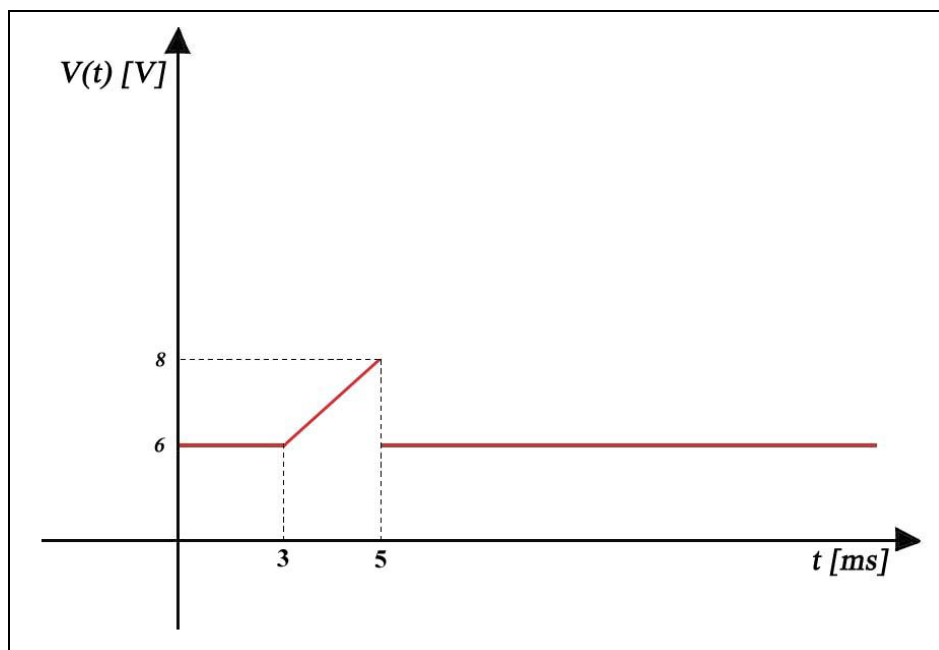
$$6 - 200 I = V_o(t)$$

da cui si ricava:

$$V_o(t) = 6 - \frac{200}{400} \cdot (V(t) - 6) = 3 + \frac{V(t)}{2}$$

ed essendo $V(t) = 2t \Rightarrow V_o(t) = 3 + t$

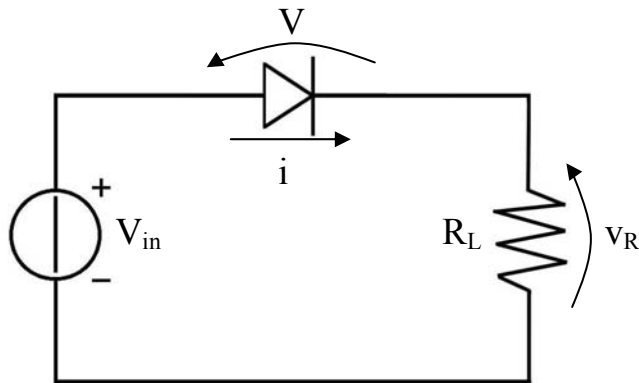
La tensione di uscita $V_o(t)$ è quindi la seguente:



Si può osservare che il diodo ha “tagliato” tutta la parte di onda sotto i 6V ed ha lasciato quasi inalterata, a meno di un fattore di scala, la parte d’onda superiore ai 6V (“clipping”).

2.5 Circuito equivalente ai piccoli segnali del diodo

Si consideri il seguente circuito, formato da un diodo, un generatore di tensione costante V_{in} e una resistenza di carico R_L (load = carico).



Per risolvere il circuito occorre risolvere una equazione non lineare, derivata dall'applicazione della KVL. La soluzione può essere ottenuta mediante il metodo grafico fissato sulla caratteristica del componente non lineare, in questo caso il diodo.

Indicata con la lettera V la differenza di potenziale ai capi del diodo e utilizzando la convenzione degli utilizzatori, si scrive il seguente sistema:

$$\begin{cases} V_{in} - V - R_L \cdot i = 0 \\ I = I_S \cdot \left(e^{\frac{v}{n \cdot V_T}} - 1 \right) \end{cases}$$

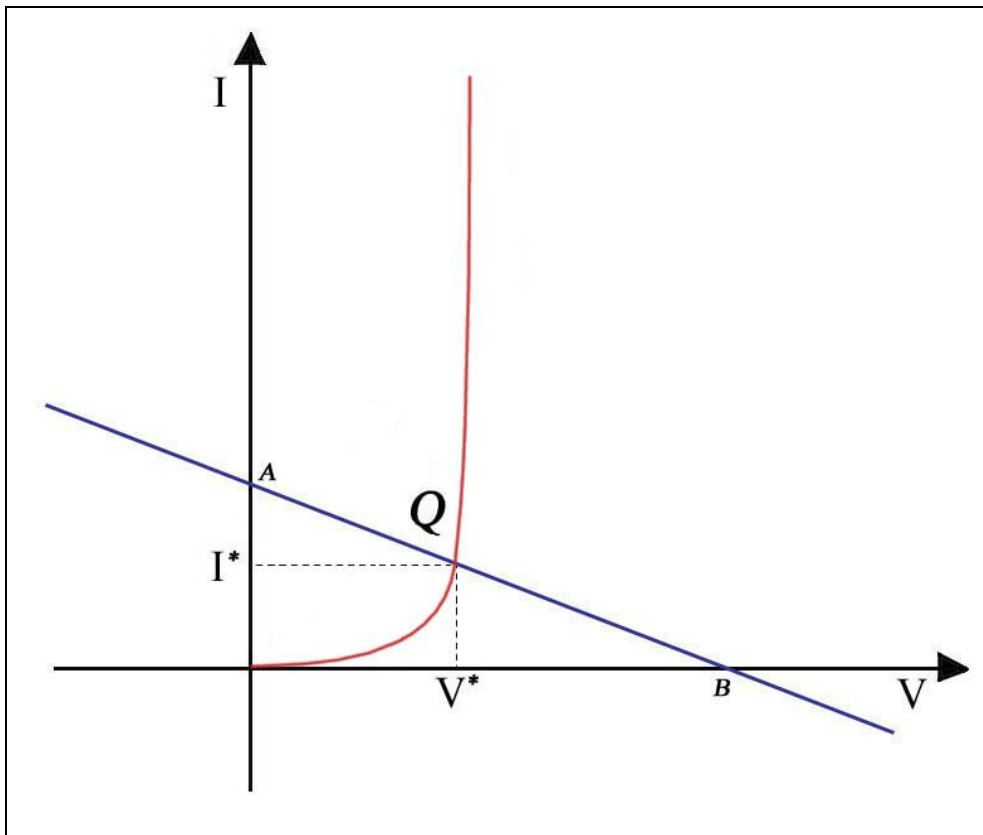
La prima equazione ha come incognita solo V ed I , poiché i termini V_{in} ed R_L sono noti.

Disegnando la retta, chiamata retta di carico, nel piano (V, I) , intersecandola con la caratteristica del diodo, si trovano i valori di V^* e I^* che “risolvono” il circuito. Q è chiamato punto di lavoro.

Il punto di lavoro è fissato quindi dalla retta di carico da V_{in} e R_L

- al variare di V_{in} si ottiene un fascio di rette parallele
- al variare di R_L si ottiene un fascio proprio di rette centrato in $(V_{in}, 0)$.

E' possibile quindi modificare il punto di lavoro di un circuito variando il valore del generatore in ingresso o il carico R_L .



$$\left\{ \begin{array}{ll} V = 0 & \Rightarrow I = \frac{V_{in}}{R_L} \quad A \left(\Phi, \frac{V_{in}}{R_L} \right) \\ I = 0 & \Rightarrow V = V_{in} \quad B (V_{in}, \Phi) \end{array} \right.$$

Si consideri ora il segnale in ingresso come somma di due diverse componenti.

Queste due componenti sono:

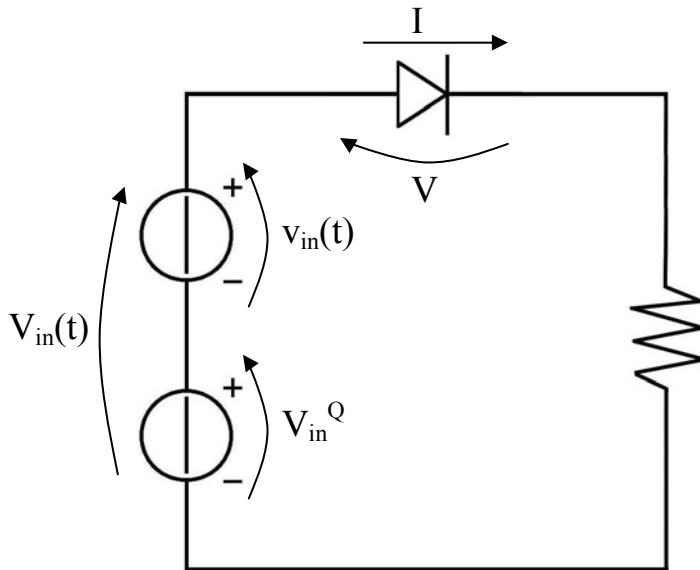
- V_{in}^Q costante nel tempo
- $v_{in}(t)$ variabile nel tempo.

Il segnale complessivo è

$$V_{in}(t) = V_{in}^Q + v_{in}(t)$$

Deve essere comunque rispettata la seguente disuguaglianza:

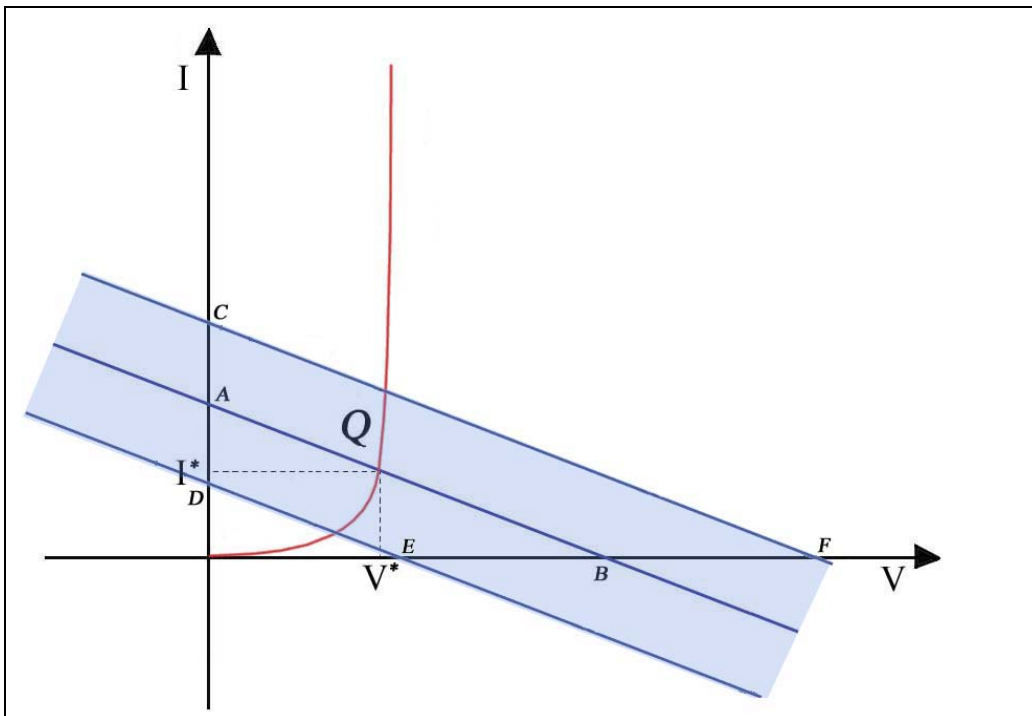
$$|v_{in}(t)| \ll |V_{in}^Q|$$



Si consideri ora la componente tempo variante di tipo sinusoidale:

$$v_{in}(t) = V_p \sin \omega t$$

dove V_p è il valore di picco.



Al variare di v_{in} si ottengono delle rette di carico parallele alla retta di carico iniziale. Quella centrale è la retta di carico iniziale e le altre due sono quelle estreme.

$$D = \frac{V_{in}^Q - V_p}{R_L}$$

$$C = \frac{V_{in}^Q + V_p}{R_L}$$

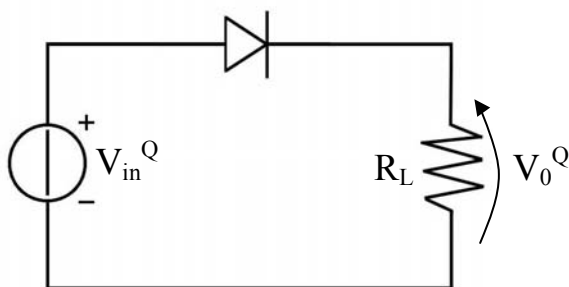
$$E = V_{in}^Q - V_p$$

$$F = V_{in}^Q + V_p$$

Le possibili soluzioni appartengono alla regione compresa tra le due rette.

Si può risolvere il circuito in due fasi:

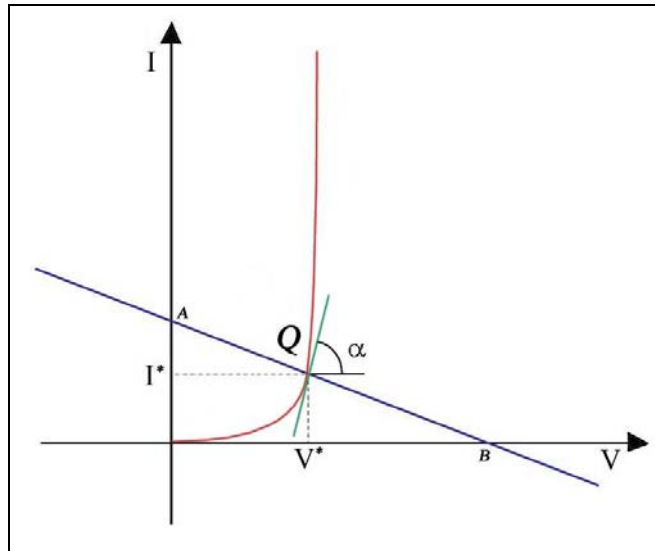
1. si considera solamente V_{in}^Q e si cerca il punto di lavoro $Q = (I^*, V^*)$, usando, per esempio, il modello di diodo ai grandi segnali. Il circuito che si utilizza è il seguente:



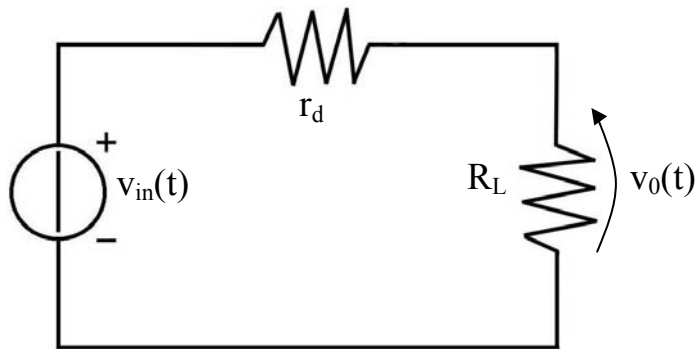
Questo è il circuito ai grandi segnali o circuito di polarizzazione.

2. si consideri ora solo $v_{in}(t)$; avendo noto il punto di lavoro Q ricavato dalla fase 1. Nella regione evidenziata, che è un piccolo intervallo nell'intorno di Q , si approssima la caratteristica del diodo con la retta tangente nel punto di lavoro (ovvero si linearizza la caratteristica del diodo in un piccolo intorno del punto di lavoro). Fare questo risulta uguale a spostare l'origine degli assi in Q .

Linearizzare significa considerare la caratteristica di un resistore con $R = r_d$ (*resistenza differenziale*).



Questo è il *circuito ai piccoli segnali*:



Si ottiene quindi

$$V_o(t) = V_o^Q + v_o(t)$$

Riassumendo: il modello del diodo ai piccoli segnali realizza un'approssimazione locale attorno al punto di lavoro Q della caratteristica del diodo; il modello ai grandi segnali realizza invece un'approssimazione globale della caratteristica con una retta (R_f).

Si consideri ora il calcolo del valore di $r_d = \frac{1}{\text{tg} \alpha}$.

Si consideri l'equazione della corrente I :

$$I = I_S \cdot \left(e^{\frac{V}{nV_T}} - 1 \right)$$

derivando ora rispetto alla tensione V si ottiene R_f :

$$\frac{di}{dV} = I_S \cdot \frac{1}{n \cdot V_T} \cdot e^{\frac{V}{n \cdot V_T}}$$

da cui

$$r_d = \frac{1}{\left. \frac{dI}{dV} \right|_Q} = \frac{n \cdot V_T}{I_S \cdot e^{\frac{V^*}{n \cdot V_T}}}$$

e considerando l'espressione della corrente nel punto di lavoro I^* :

$$I^* = I_S \cdot \left(e^{\frac{V^*}{n \cdot V_T}} - 1 \right)$$

sostituendo si ricava:

$$r_d = \frac{n \cdot V_T}{I_S \cdot e^{\frac{V^*}{n \cdot V_T}}} = \frac{n \cdot V_T}{I^* + I_S}$$

ma, considerato il fatto che I_S è molto piccola e che si sta lavorando in polarizzazione diretta, si può trascurare I_S per cui:

$$r_d \cong \frac{n \cdot V_T}{I^*}$$

Si noti quindi che il valore di r_d dipende dal punto di lavoro.

Osservazione

Nel primo quadrante (polarizzazione diretta):

$$I \cong I_S \cdot e^{\frac{V}{n \cdot V_T}}$$

se

$$V_{in} = V_{in}^Q + v_{in}$$

ove :

$$|v_{in}| \ll V_{in}^Q \quad \text{piccoli segnali}$$

allora :

$$I = I_S \cdot e^{\frac{V_{in}^Q + V_{in}}{nV_T}} = I_S \cdot e^{\frac{V_{in}^Q}{nV_T}} \cdot e^{\frac{v_{in}}{nV_T}} = I^Q \cdot e^{\frac{v_{in}}{nV_T}} \quad (1)$$

se

$$|v_{in}| \ll nV_T \quad (nV_T \hat{=} 0.05 \text{ V a } T = 300\text{K})$$

allora :

$$e^{\frac{v_{in}}{nV_T}} \cong 1 + \frac{1}{nV_T} \cdot \left(e^{\frac{v_{in}}{nV_T}} \right) \Bigg|_{v_{in}=0} \cdot v_{in} + \dots = 1 + \frac{v_{in}}{nV_T}$$

Nota sull'espansione in serie

Usiamo la serie di Mc Laurin perché v_{in} ha un valore intorno allo zero.

per cui sostituendo nella (1) si ottiene :

$$I \cong I^Q \left(1 + \frac{v_{in}}{nV_T} \right) = I^Q + \frac{I^Q}{nV_T} v_{in}$$

ma :

$$\frac{I^Q}{nV_T} \hat{=} R_d$$

quindi :

$$I \cong I^Q + \frac{v_{in}}{R_d}$$

Light Emitting Diode

Un diodo emettitore di luce (o LED) è un particolare tipo di diodo a semiconduttore in grado di emettere luce quando è polarizzato direttamente : l'intensità della luce è approssimativamente proporzionale alla corrente diretta che scorre nel diodo .

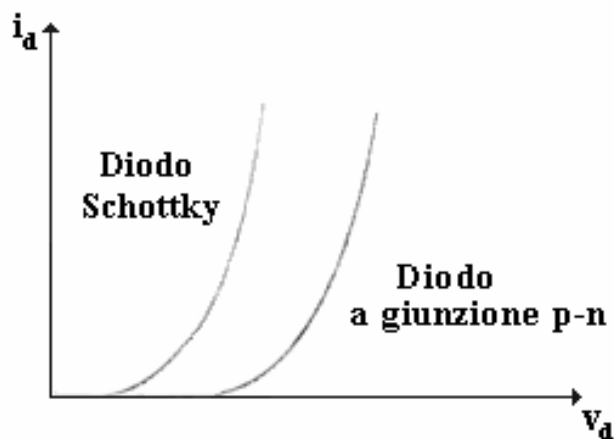
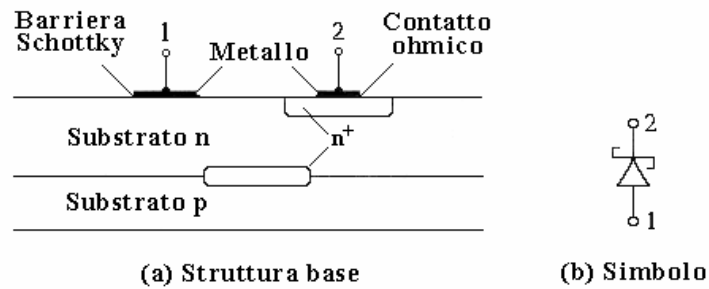
I LED sono normalmente usati in applicazioni a basso costo.

DIODO A BARRIERA SCHOTTKY (SBD)

In un diodo SBD una giunzione raddrizzante è ottenuta ponendo uno strato di alluminio su del silicio debolmente drogato **n**.

La caduta di tensione in polarizzazione diretta di un SBD è molto più bassa di quella di un diodo a giunzione **pn**; approssimativamente 0.3 V contro gli 0.7 V di un diodo **pn**.

Un SBD lavora in condizioni di basso livello di iniezione, come un dispositivo a cariche maggiorate: quindi, il tempo di immagazzinamento dei minoritari non esiste; la capacità di diffusione C_d è dunque trascurabile.



1N4001 thru 1N4007



MOTOROLA

GENERAL-POURPOSE RECTIFIERS

... subminiature size, axial lead mounted rectifiers for general-purpose low-power applications.

**Lead mounted
silicon rectifiers
50-1000 VOLTS
diffused junction**

* MAXIMUM RATINGS

Rating	Symbol	1N4001	1N4002	1N4003	1N4004	1N4005	1N4006	1N4007	Unit
Peak Repetitive Reverse Voltage	V_{RRM}	50	100	200	400	600	800	1000	Volts
Working Peak Reverse Voltage	V_{RWM}								
DC Blocking Voltage	V_R								
Non-Repetitive Peak Reverse Voltage (halfwave, single phase, 60 Hz)	V_{RS1}	60	120	240	480	720	1000	1200	Volts
RMS Reverse Voltage	$V_{R(RMS)}$	35	70	140	280	420	560	700	Volts
Average Rectified Forward Current (single phase, resistive load, 60 Hz, see Figure 8, $T_A = 75^\circ\text{C}$)	I_o	1.0							Amps
Non-Repetitive Peak Surge Current (surge applied at rated load conditions, see Figure 2)	I_{FSM}	30 (for 1 cycle)							Amps
Operating and Storage Temperature Range	T_J, T_{stg}	-65 to +175							$^\circ\text{C}$

* ELECTRICAL CHARACTERISTICS

Characteristic and Conditions	Symbol	Typ	Max	Unit
Maximum Instantaneous Forward Voltage Drop ($I_F = 1.0$ Amp, $T_J = 25^\circ\text{C}$) Figure 1	V_F	0.93	1.1	Volts
Maximum Full-Cycle Average Forward Voltage Drop ($I_F = 1.0$ Amp, $T_L = 75^\circ\text{C}$, 1 inch leads)	$V_{F(RV)}$	—	0.8	Volts
Maximum Reverse Current (rated dc voltage) $T_J = 25^\circ\text{C}$ $T_J = 100^\circ\text{C}$	I_R	0.05 1.0	10 50	μA
Maximum Full-Cycle Average Reverse Current ($I_R = 1.0$ Amp, $T_L = 75^\circ\text{C}$, 1 inch leads)	$I_{R(RV)}$	—	30	μA

*Indicates JEDEC Registered Data

MECHANICAL CHARACTERISTICS

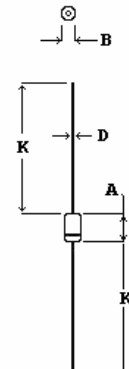
CASE: Transfer Molded Plastic

MAXIMUM LEAD TEMPERATURE FOR SOLDERING PURPOSES: 350°C , 3/8" case for 10 seconds at 5 lbs. tension.

FINISH: All external surfaces are corrosion-resistant, leads are readily solderable.

POLARITY: Cathode indicated by colour band.

WEIGHT: 0.40 Grams (approximately)



NOTES :

- 1 POLARITY DENOTED BY CATHODE BAND
- 2 LEAD DIAMETER CONTROLLED WITHIN "F" DIMENSION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	5.97	6.60	0.235	0.260
B	2.79	3.05	0.110	0.120
D	0.76	0.86	0.030	0.034
K	27.94	—	1.100	—

CASE 59-04
(Does not meet DO-41 outline)

1N4728,A thru 1N4764,A



MOTOROLA

Designers Data Sheet

ONE WATT HERMETICALLY SEALED GLASS SILICON ZENER DIODES

- Complete Voltage Range - 3.3 to 100 Volts
- DO - 41 Package - Smaller than Conventional DO-7 Package
- Double Slug Type Construction
- Metallurgically Bonded Construction
- Nitride Passivated Die

Designer's Data for "Worst Case" Conditions

The Designers Data sheets permit the design of most circuits entirely from the information presented. Limit curve - representing boundaries on device characteristics - are given to facilitate "worst case" design.

1.0 WATT
ZENER REGULATOR DIODES
3.3-100 VOLTS



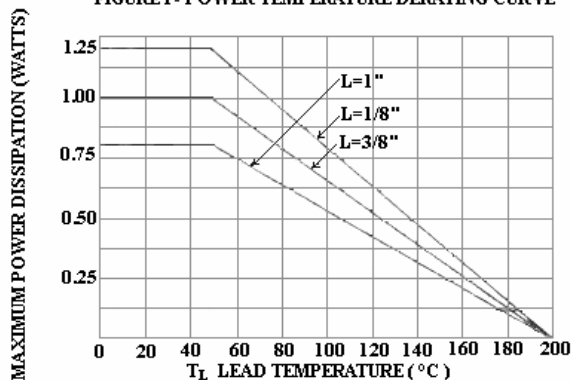
* MAXIMUM RATINGS

Rating	Symbol	Value	Unit
DC Power Dissipation @ $T_A = 50^\circ\text{C}$	P_D	1.0	Watt
Derate above 50°C		6.67	mW / $^\circ\text{C}$
Operating and Storage Junction Temperature Range	T_j, T_{stg}	- 65 to + 200	$^\circ\text{C}$

MECHANICAL CHARACTERISTICS

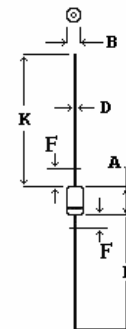
CASE: Double slug type, hermetically sealed glass
MAXIMUM LEAD TEMPERATURE FOR SOLDERING PURPOSES: 230°C , 1/16" from case for 10 seconds
FINISH: All external surfaces are corrosion resistant with readily solderable leads
POLARITY: Cathode indicated by colour band. When operated in zener mode, cathode will be positive with respect to anode.
MOUNTING POSITION: Any.

FIGURE 1 - POWER TEMPERATURE DERATING CURVE



* L = LEAD LENGTH TO HEAT SINK

*Indicates JEDEC Registered Data



	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	4.07	5.20	0.160	0.205
B	2.04	2.71	0.080	0.107
D	0.71	0.86	0.028	0.034
F	—	1.27	—	0.050
K	27.94	—	1.100	—

CASE 59.03
DO-41

NOTES :

1 ALL RULES AND NOTES ASSOCIATED WITH JEDEC DO-41 OUTLINE SHALL APPLY.

2 POLARITY DENOTED BY CATHODE BAND

3 LEAD DIAMETER CONTROLLED WITHIN "F" DIMENSION.

1N4728, A thru 1N4764, A

*ELECTICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted) $V_F = 1.2\text{ V max}$, $I_F = 200\text{ mA}$

JEDEC Type No. (Note 1)	Nominal Zener Voltage $V_Z @ I_{ZT}$ Volts (Notes 2 and 3)	Test Current I_{ZT} mA	Maximum Zener Impedance (Note 4)			Leakage Current		Surge Current @ $T_A = 25^\circ\text{C}$ $i_{PS} - \text{mA}$ (Note 5)
			$Z_{ZT} @ I_{ZT}$ Ohms	$Z_{ZK} @ I_{ZK}$ Ohms	I_{ZK} mA	I_R $\mu\text{A Max}$	V_R Volts	
1N4728	3.3	76	10	400	1.0	100	1.0	1380
1N4729	3.6	69	10	400	1.0	100	1.0	1260
1N4730	3.9	64	9.0	400	1.0	50	1.0	1190
1N4731	4.3	58	9.0	400	1.0	10	1.0	1070
1N4732	4.7	53	8.0	500	1.0	10	1.0	970
1N4733	5.1	49	7.0	550	1.0	10	1.0	890
1N4734	5.6	45	5.0	600	1.0	10	2.0	810
1N4735	6.2	41	2.0	700	1.0	10	3.0	730
1N4736	6.8	37	3.5	700	1.0	10	4.0	660
1N4737	7.5	34	4.0	700	0.5	10	5.0	605
1N4738	8.2	31	4.5	700	0.5	10	6.0	550
1N4739	9.1	28	5.0	700	0.5	10	7.0	500
1N4740	10	25	7.0	700	0.25	10	7.6	454
1N4741	11	23	8.0	700	0.25	5.0	8.4	414
1N4742	12	21	9.0	700	0.25	5.0	9.1	380
1N4743	13	19	10	700	0.25	5.0	9.9	344
1N4744	15	17	14	700	0.25	5.0	11.4	304
1N4745	16	15.5	16	700	0.25	5.0	12.2	285
1N4746	18	14	20	750	0.25	5.0	13.7	250
1N4747	20	12.5	22	750	0.25	5.0	15.2	225
1N4748	22	11.5	23	750	0.25	5.0	16.7	205
1N4749	24	10.5	25	750	0.25	5.0	18.2	190
1N4750	27	9.5	35	750	0.25	5.0	20.6	170
1N4751	30	8.5	40	1000	0.25	5.0	22.8	150
1N4752	33	7.5	45	1000	0.25	5.0	25.1	135
1N4753	36	7.0	50	1000	0.25	5.0	27.4	125
1N4754	39	6.5	60	1000	0.25	5.0	29.7	115
1N4755	43	6.0	70	1500	0.25	5.0	32.7	110
1N4756	47	5.5	80	1500	0.25	5.0	35.8	95
1N4757	51	5.0	95	1500	0.25	5.0	38.8	90
1N4758	56	4.5	110	2000	0.25	5.0	42.6	80
1N4759	62	4.0	125	2000	0.25	5.0	47.1	70
1N4760	68	3.7	150	2000	0.25	5.0	51.7	65
1N4761	75	3.3	175	2000	0.25	5.0	56.0	60
1N4762	82	3.0	200	2000	0.25	5.0	62.2	55
1N4763	91	2.8	250	3000	0.25	5.0	69.2	50
1N4764	100	2.5	350	3000	0.25	5.0	76.0	45

NOTE 1 - Tolerance and Type Number Designation. The JEDEC type listed have a standard tolerance on the nominal zener voltage of $\pm 10\%$. A standard tolerance of $\pm 5\%$ on individual units is also available and is indicated by suffixing "A" to the standard type number.

NOTE 2 - Specials Available include :

- A. Nominal zener voltage between the voltages shown and tighter voltage tolerances.
- B. Matched sets.

For detailed information on price, availability, and delivery, contact your nearest Motorola representative.

NOTE 3 - Zener Voltage (V_Z) Measurement. Motorola guarantees the zener voltage when measured at 90 seconds while maintaining the lead temperature (T_L) at $30^\circ\text{C} \pm 1^\circ\text{C}$, 3/8" from the diode body.

NOTE 4 - Zener Impedance (Z_Z) Derivation. The zener impedance is derived from the 60 cycle ac voltage, which results when an ac current having an rms value equal to 10 % of the dc zener current (I_{ZT} or I_{ZK}) is superimposed on I_{ZT} or I_{ZK} .

NOTE 5 - Surge Current (i) Non-Repetitive. The rating listed in the electrical characteristics table is maximum peak, non-repetitive, reverse surge current of 1/2 square wave or equivalent sine wave pulse of 1 / 120 second duration superimposed on the test current, I_{ZT} , per JEDEC registration, however, actual device capability is as described in Figure 5.

APPLICATION NOTE

Since the actual voltage from a given zener diode is temperature dependent, it is necessary to determine junction temperature under any set of operating conditions in order to calculate its value. The following procedure is recommended:

Lead Temperature, T_L , should be determined from:

$$T_L = \theta_{JA} P_D + T_H$$

θ_{JA} is the lead - to - ambient thermal resistance ($^\circ\text{C/W}$) and P_D is the power dissipation. The value for θ_{JA} will vary and depends on the device mounting method. θ_{JA} is generally 30 to 40°C/W for the various clips and tie points in common use and for printed circuit board wiring.

The temperature of the lead can also be measured using a thermocouple placed on the lead as close as possible to the tie point. The thermal mass connected to the tie point is normally large enough so that it will not significantly respond to heat surges generated in the diode as a result of pulsed operation once steady-state conditions are achieved. Using the measured value of T_L , the junction temperature may be determined by:

$$T_J = T_L + \Delta T_{JL}$$

ΔT_{JL} is the increase in junction temperature above the lead temperature and may be found as follows:

$$\Delta T_{JL} = \theta_{JL} P_D$$

θ_{JL} may be determined from Figure 3 for dc power conditions. For worst-case design, using expected limits of I_Z , limits of P_D and the extremes of $T_J (\Delta T_J)$ may be estimated. Changes in voltage, V_Z , can then be found from:

$$\Delta V = \theta_{VZ} \Delta T_J$$

θ_{VZ} , the zener voltage temperature coefficient, is found from Figure 2. Under high power-pulse operation, the zener voltage will vary with time and may also be affected significantly by the zener resistance. For best regulation, keep current excursions as low as possible. Surge limitations are given in Figure 5.

They are lower than would be expected by considering effects cause temperature, as current crowding effects cause temperatures to be extremely high in small spots resulting in device degradation should the limits of Figure 5 be exceeded.

Capitolo 3

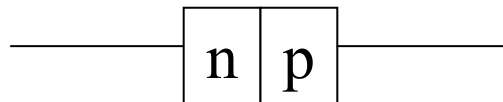
Transistore bipolare

3.1 Introduzione

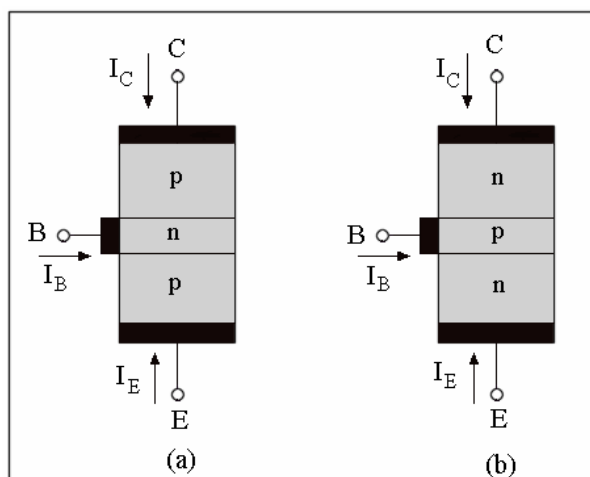
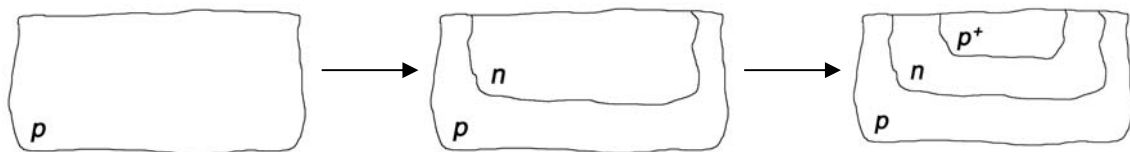
Esistono principalmente due tipi di transistor

- a) Transistore MOS (o ad effetto campo)
- b) Transistore Bipolare

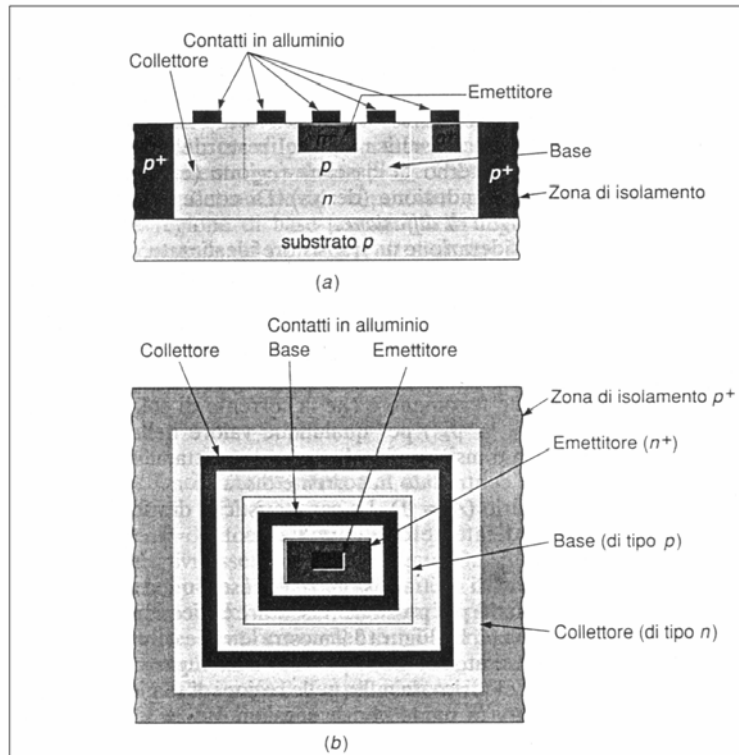
In generale il transistor è un componente non lineare, a tre morsetti, basato sulle proprietà del silicio; il transistor bipolare è semplicemente l'unione di due diodi, due giunzioni n-p, fatte combaciare dalla parte uguale; il nome bipolare deriva dal fatto che sono presenti cariche di tipo differente, come anche nel diodo:



Questi sono i passi per la costruzione fisica di un transistor.

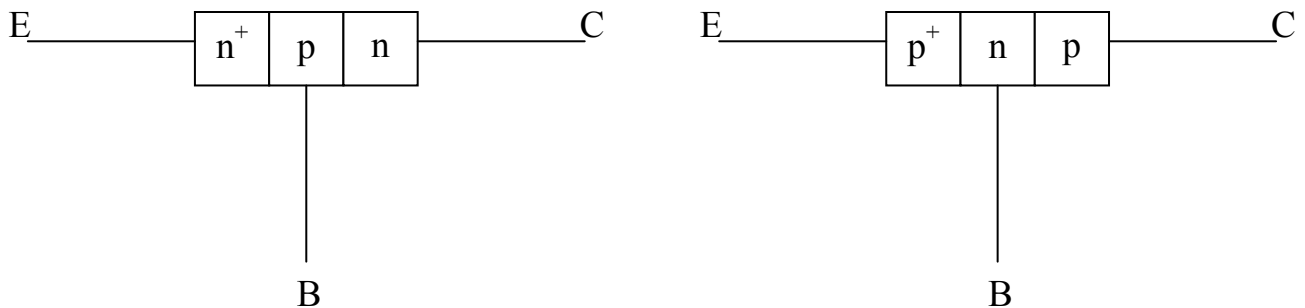


Versi positivi convenzionali per le correnti in un transistor (a) *pnp* e (b) *npn*



Struttura di un transistor *npn* per circuito integrato con substrato, zona di isolamento *p* e contatti in alluminio.

Come si può vedere dai disegni, esistono due tipi di transistor bipolare: il transistor *n-p-n* e il suo duale *p-n-p*. Questi si differenziano per il tipo di accoppiamento.



Le zone esterne sono della stessa tipologia ma una è sempre più drogata dell'altra. La parte indicata con il segno +, presenta un maggior numero di elettroni, cioè è maggiormente drogata.

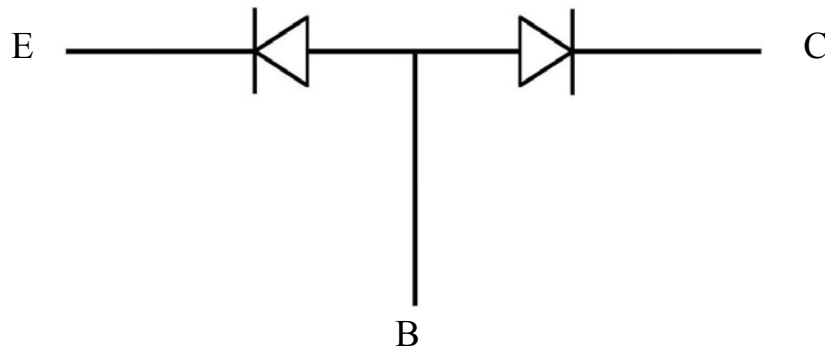
Consideriamo per esempio un transistor *n-p-n*. Questo presenta tre zone di drogaggio differenti.

- *Zona n^+* : zona a drogaggio negativo. Ci sono molti elettroni e poche lacune, prende il nome di Elettore
- *Zona p* : zona a drogaggio positivo. Prende il nome di Base e serve per modulare la conduzione e fare interagire in modo opportuno le due giunzioni
- *Zona n* : zona a drogaggio negativo, viene chiamata Collettore.

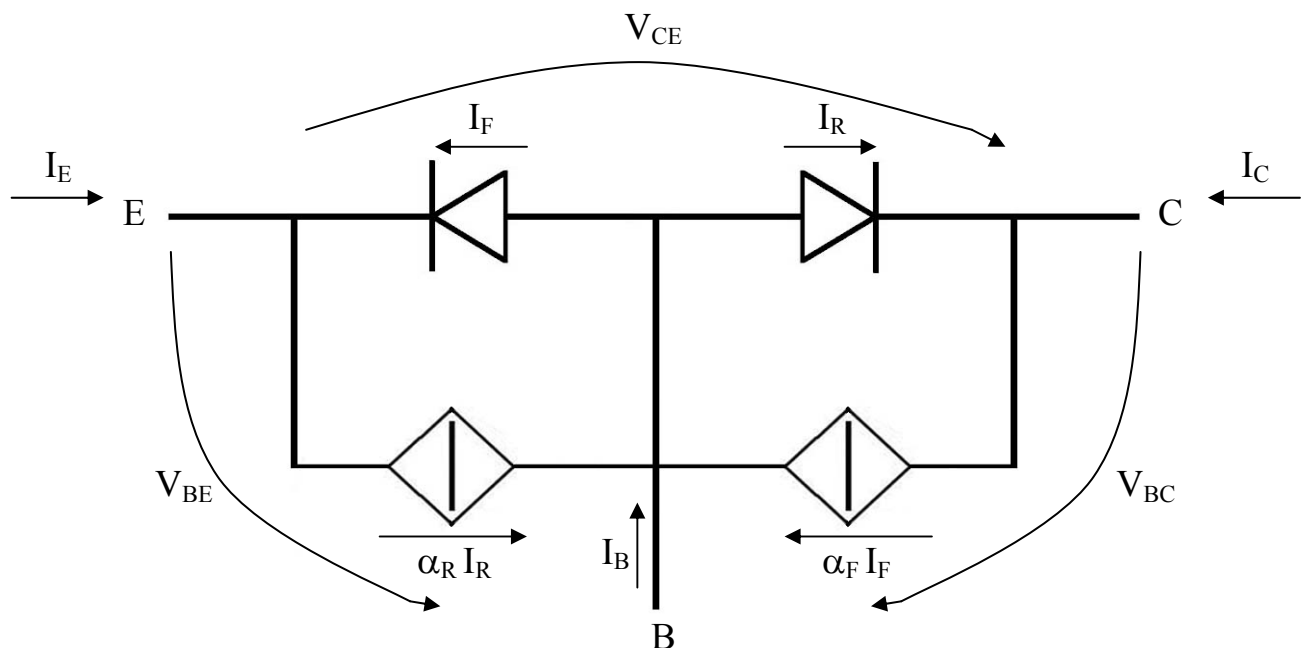
Gli elettroni vengono emessi dall'emettitore e raccolti dal collettore, per questo motivo il transistor bipolare non è simmetrico (in termini di percentuale di elettroni).

3.2 Modello equivalente di EBERS-MOLL

Un primo modello per il transistor è il seguente, con due diodi opposti affiancati



La schematizzazione è corretta solo nel caso in cui la zona P sia larga come le altre due zone in modo che le giunzioni N+ ed N non interagiscono mai. Le due giunzioni, staccate tra loro dalla base, non fanno interagire la parte N+ e la N. Per fare in modo che invece l'interazione avvenga, bisogna rendere la zona P molto sottile, si parla di qualche micron. La rappresentazione corretta è la seguente, dove il circuito equivalente è rappresentato dal modello ai grandi segnali:

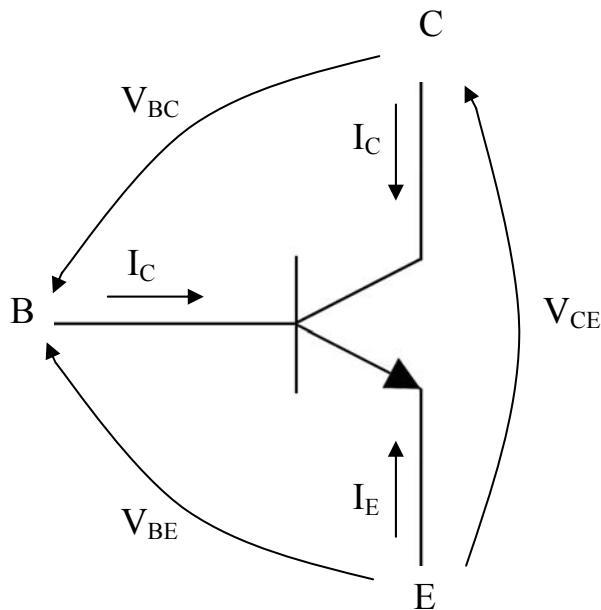


Il precedente circuito prende il nome di Modello Equivalente di Ebers-Moll, ed è la rappresentazione di un transistor n-p-n. La giunzione n-p è rappresentata dalla parte di sinistra, EB; la parte di destra (BC) rappresenta invece la giunzione p-n.

I due generatori presenti sono del tipo CCCS (generano una corrente dipendente dalla corrente su un altro ramo) pilotati dalle correnti che transitano nei due diodi con coefficienti moltiplicativi α_F e α_R . Questi generatori permettono l'interazione tra le due parti del transistor.

In elettronica i portatori di carica sono le cariche positive, e quindi il flusso di carica va da E a C e non il contrario, il verso è quello della freccia indicata con V_{CE} .

Il simbolo circuitale per un transistor bipolare è il seguente dove la freccia indica l'emettitore



Si consideri ora le correnti dei due diodi nel Modello di Ebers-Moll. I_F e I_R sono le *correnti di giunzione* e sono determinate dalle caratteristiche dei diodi. I pedici F e R significano rispettivamente forward e reverse.

$$I_F = I_{ES} \cdot \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \quad (1)$$

$$I_R = I_{CS} \cdot \left(e^{\frac{V_{BC}}{V_T}} - 1 \right)$$

dove I_{ES} e I_{CS} sono le correnti equivalenti delle correnti inverse di saturazione.

Si considerino ora le correnti di collettore e di emettitore riferite, in questo caso, alla base comune. Il transistor a *base comune* è il transistor standard in cui, conoscendo V_{BE} e V_{BC} è possibile determinare tutte le tensioni e le correnti interne.

$$I_C = f(V_{BE}, V_{BC})$$

$$I_E = f(V_{BE}, V_{BC})$$

Applicando le KCL ai nodi E, C e B si ottiene

$$I_E = -I_F + \alpha_R I_R$$

$$I_C = -I_R + \alpha_F I_F \quad (2)$$

$$I_B = -I_C - I_E$$

Applicando la LKT a tutto il componente si ottiene

$$V_{BE} - V_{BC} - V_{CE} = 0 \quad (3)$$

Il modello a base comune consente, fissate V_{BE} e V_{BC} , di trovare

- dalla (1) si determina I_R e I_F , fissate le caratteristiche dei diodi (corrente interna di saturazione e V_T)
- dalla (2), note I_R e I_F e i valori α_R e α_F , si ricavano le correnti di base, emettitore e collettore,
- la (3) permette di trovare V_{CE} .

Si consideri ora in analogia con quanto evidenziato per la base comune, la modellizzazione ad *emettitore comune*. Esplicitando opportunamente le equazioni del circuito, si possono ottenere tutte le variabili in funzione di V_{BE} e V_{CE} .

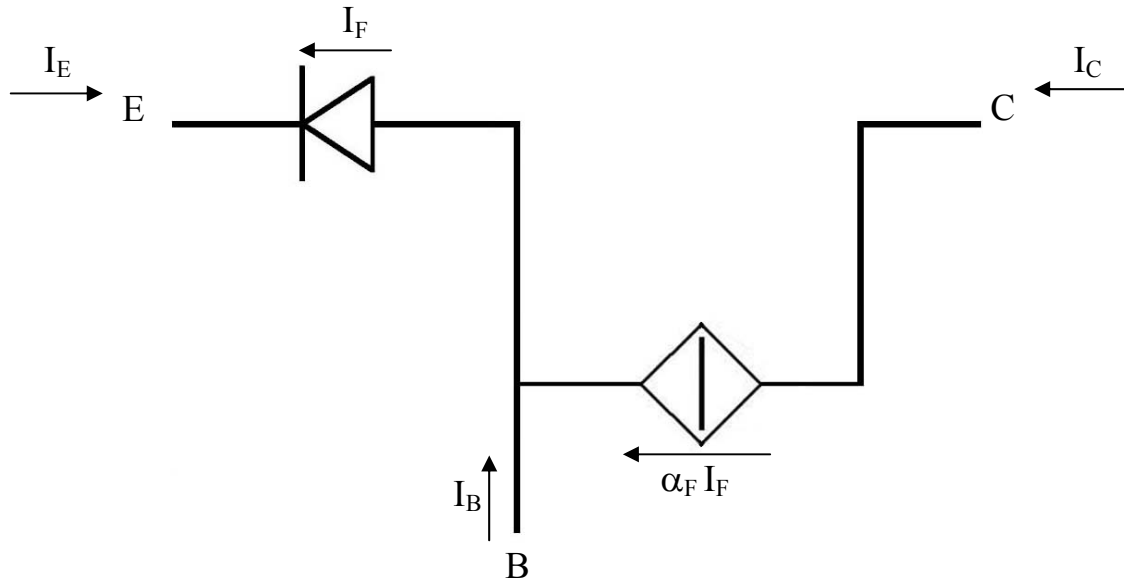
Le sostituzioni sono immediate, poiché, conoscendo V_{BE} e V_{CE} si ricava dalla (3) V_{BC} e quindi si procede come nel caso precedente con la modellizzazione a base comune.

Lo stesso vale per il collettore comune.

Guadagno diretto di corrente in cortocircuito

Si consideri ora il calcolo del coefficiente α_F .

Si ponga inizialmente $V_{BC} = 0$, ossia si cortocircuita sia la base che il collettore. Con questa operazione risulta che il diodo compreso fra base e collettore si polarizza in inversa, per cui la corrente I_R diventa nulla. Il circuito equivalente di Ebers–Moll diventa



Risulta pertanto

$$\begin{cases} I_E = -I_F + \alpha_R I_R \\ I_C = -I_R + \alpha_F I_F \end{cases}$$

ma $I_R = 0$ per cui

$$\alpha_F = \frac{I_C}{I_F} = -\frac{I_C}{I_E}$$

α_F è detto *guadagno diretto di corrente in cortocircuito* o fattore di amplificazione della corrente, infatti il transistor è utilizzato per amplificare le correnti. Il rapporto fra I_C e I_E , è un valore molto elevato, ma sempre < 1

$$0,98 < \alpha_F < 1$$

Consideriamo quindi quanto vale I_B se $V_{BC} = 0$

$$I_B = -(I_E + I_C)$$

Ma $I_E = \frac{I_C}{\alpha_F}$ per cui

$$I_B = \frac{I_C}{\alpha_F} - I_C = \frac{I_C \cdot (1 - \alpha_F)}{\alpha_F}$$

da cui chiamando $\beta_F = \frac{\alpha_F}{1 - \alpha_F}$ *guadagno di corrente* si ottiene

$$I_C = \beta_F \cdot I_B$$

Assumendo ora $\alpha_F \cong 1 \rightarrow 1 - \alpha_F \cong 0$, β_F assume valori molto grandi. Quindi con piccoli valori di I_B si ottengono grandi valori di I_C .

La corrente di collettore è β_F volte la corrente di base. Per questo il transistor viene usato anche come amplificatore.

Il guadagno di corrente esiste però anche fra I_C e I_E

$$I_C = \alpha_F \cdot I_E$$

In questo caso però è un guadagno di corrente molto ridotto perché α_F è circa uguale a 1.

Questo significa che non tutta la corrente uscente dall'emettitore giunge al collettore.

Basta quindi variare di poco la V_{BE} per variare molto la I_B .

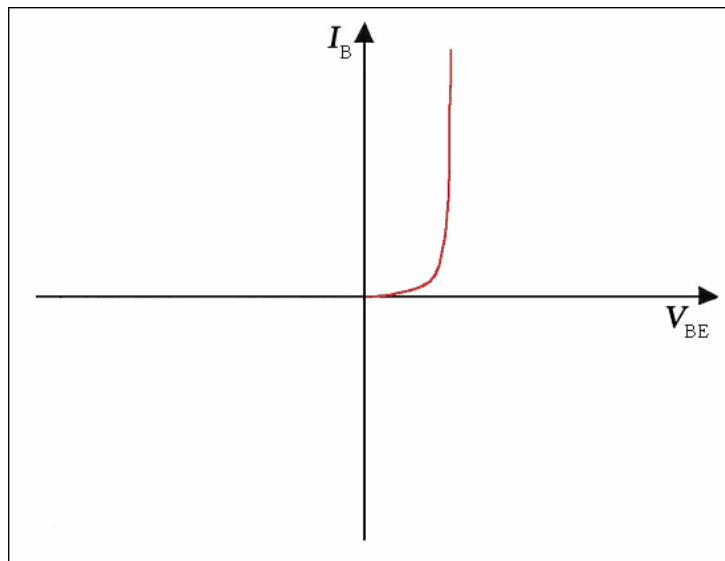
Questo si nota dal fatto che se $V_{BC} = 0$ ne consegue che

$$I_E = -I_F = -I_{ES} \cdot \left(e^{\frac{V_{BE}}{V_T}} - 1 \right)$$

e

$$I_B = (1 - \alpha_F) \cdot I_{ES} \cdot \left(e^{\frac{V_{BE}}{V_T}} - 1 \right)$$

La dipendenza di I_B da V_{BE} , con $V_{BC} = 0$ è esponenziale.



Il guadagno fra base e collettore è molto grande

$$\beta_F \cong 50 \div 200$$

Guadagno inverso di corrente in cortocircuito

Considerazioni analoghe si possono fare su α_R , ottenibili cortocircuitando base ed emettitore, da cui $V_{BE} = 0$.

Da calcoli analoghi si ottiene $I_F = 0$ e considerando $V_{BE} = 0$ si ottiene

$$\alpha_R = -\frac{I_E}{I_C}$$

α_R è il *guadagno di corrente in inversa*. Generalmente i valori di α_R sono meno vicini all'unità rispetto ad α_F .

$$0,4 < \alpha_R < 0,8$$

Con calcoli analoghi a quelli fatti in precedenza si ottiene anche il guadagno su I_B

$$\beta_R = \frac{\alpha_R}{1 - \alpha_R}$$

ed anche in questo caso i valori β_R non sono elevati come quelli di β_F .

Il transistorore quindi amplifica anche in polarizzazione inversa, ma meno rispetto alla polarizzazione in diretta.

Condizione di reciprocità

Si esplicita ora la condizione di reciprocità del transistor

$$\alpha_F I_{ES} = \alpha_R I_{CS}$$

I guadagni in diretta e in inversa sono correlati alle correnti di saturazione inversa delle due giunzioni.

3.3 Zone di funzionamento

Le principali zone di funzionamento del transistor bipolare sono quattro anche se le più usate sono in realtà tre:

1. *Zona di saturazione* $V_{BE} > 0$ $V_{BC} > 0$

Essendo $V_{CE} = V_{BE} - V_{BC}$, ne consegue che V_{CE} è abbastanza piccola, al massimo 0,8 V.

I_C invece può assumere valori anche molto elevati.

Questo si può desumere dalle due equazioni caratteristiche dei diodi:

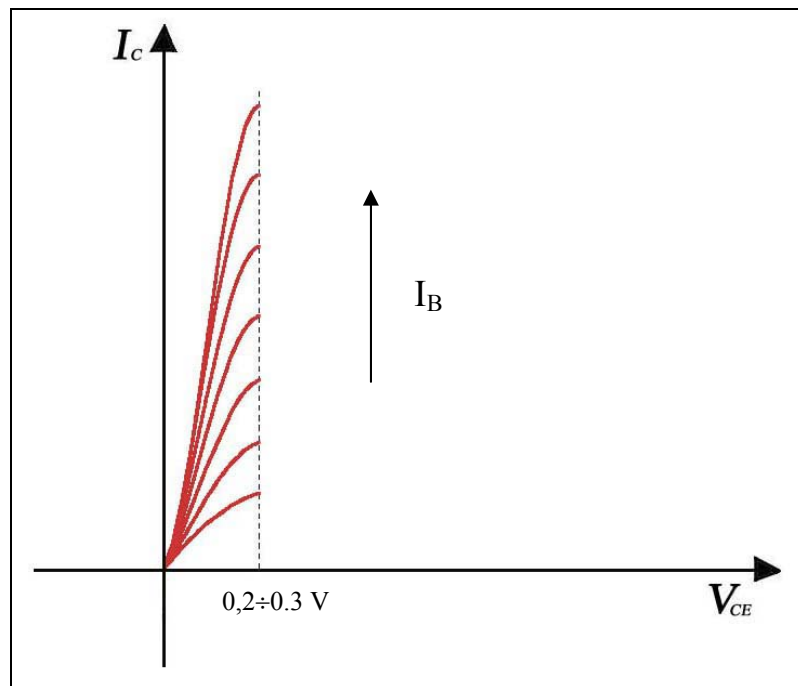
$$\begin{cases} I_F = I_{ES} \cdot \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \\ I_R = I_{CS} \cdot \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \end{cases}$$

da cui

$$I_C = -I_R + \alpha_F I_F = I_{CS} - I_{CS} \cdot e^{\frac{V_{BC}}{V_T}} - \alpha_F I_{ES} + \alpha_F I_{ES} \cdot e^{\frac{V_{BC}}{V_T}}$$

trascurando I_{CS} e I_{ES} si nota che, variando anche di poco i valori di V_{BC} e V_{BE} , I_C , essendo un prodotto di esponenziali, varia notevolmente.

Graficando I_C in funzione di V_{CE} si ottengono, al crescere di I_B , delle rette quasi parallele all'asse delle ordinate.



In questa zona il transistor si comporta quasi come un cortocircuito.

2. Zona d'interdizione

$$V_{BE} \cong 0 \quad V_{BC} \ll 0$$

Essendo che $V_{CE} = V_{BE} - V_{BC} \cong -V_{BC}$, V_{CE} può assumere quasi tutti i valori possibili, I_C invece è praticamente nulla.

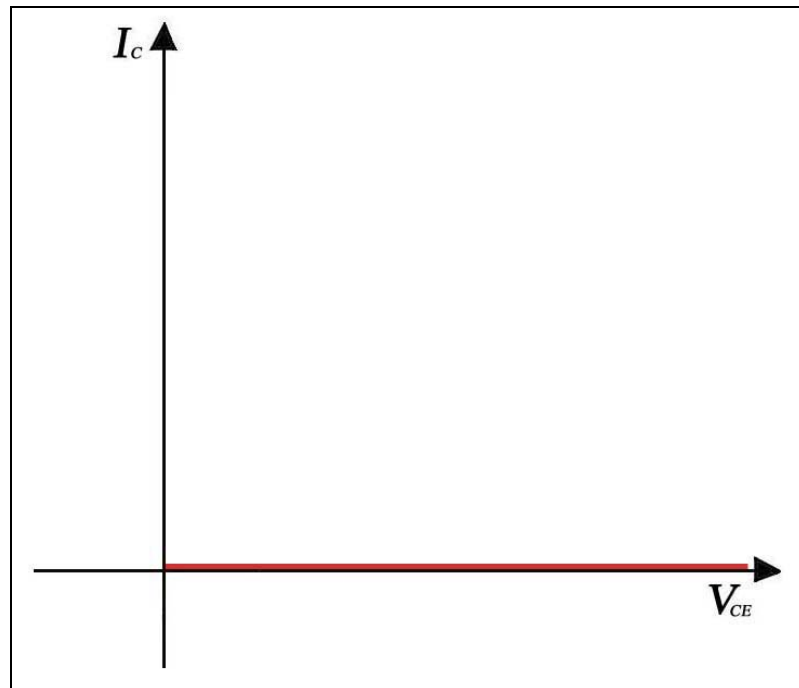
$$I_C = I_{CS} - \underbrace{I_{CS} \cdot e^{\frac{V_{BC}}{V_T}}}_{\cong 0 \text{ perchè } V_{BC} \ll 0} - \underbrace{\alpha_F I_{ES} + \alpha_F I_{ES} \cdot e^{\frac{V_{BC}}{V_T}}}_{V_{BE} \cong 0 \Rightarrow \text{è circa } 0}$$

per cui ne consegue che, considerando che I_{CS} è molto piccola

$$I_C \cong 0$$

Le stesse considerazioni valgono per I_E da cui si ottiene $I_B \cong 0$.

Nel seguente grafico (V_{CE} , I_C) si nota che questa zona coincide, o quasi, con l'asse delle ascisse.



Il transistor funziona quasi come un circuito aperto.

Questa zona e la precedente sono usate nei circuiti logici.

3. Zona di Amplificazione Diretta (ZAD)

$$V_{BE} \cong 0,7 \text{ V}$$

$$V_{BC} \ll 0$$

Questa zona, detta anche *Zona Attiva Diretta*, è usata nei circuiti analogici e il transistor funziona praticamente come amplificatore.

Essendo $V_{BC} \cong 0 \Rightarrow I_R \cong 0$ per cui

$$V_{CE} \cong -V_{BE}$$

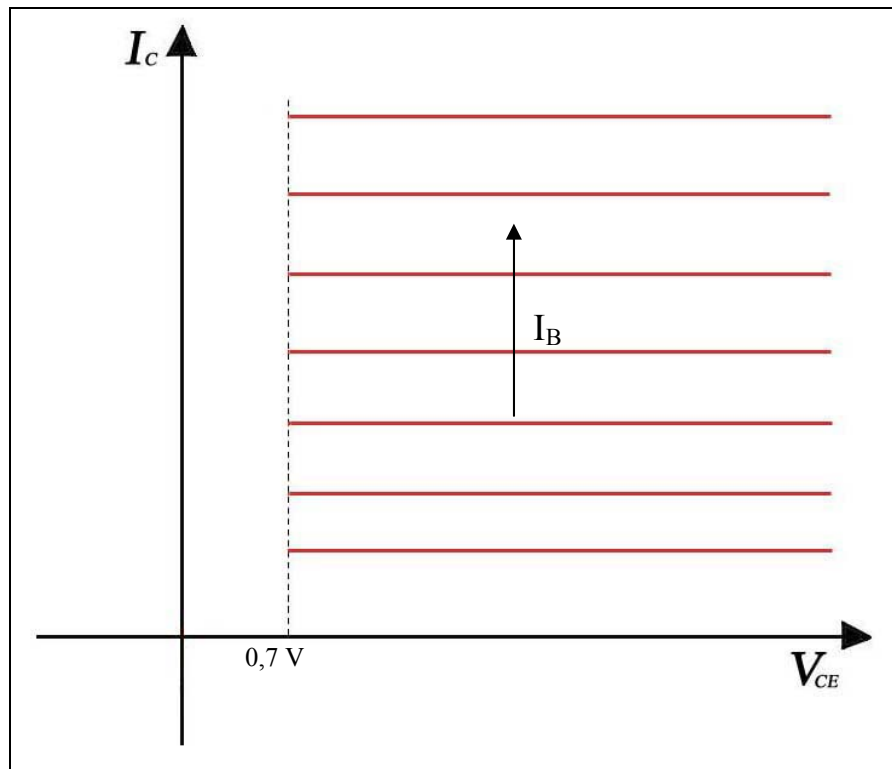
$$I_C = \beta_F \cdot I_B$$

In questo modo il transistor ha comportamento molto similmente a quando $V_{BE} \cong 0$, tuttavia non si vuole che assuma proprio il valore nullo, altrimenti anche la V_{CE} assumerebbe valori troppo vicini allo zero.

Il transistor si comporta come un generatore ideale di corrente proporzionale a I_R .

Il valore di corrente I_B viene amplificato di 100-200 volte perché β_F è grande.

Nel grafico si ottengono delle rette quasi parallele all'asse delle ascisse, avendo a parametro I_B . Queste rette sono leggermente inclinate, convergono in un punto morto negativo e questo è dovuto alla non linearità dei diodi.

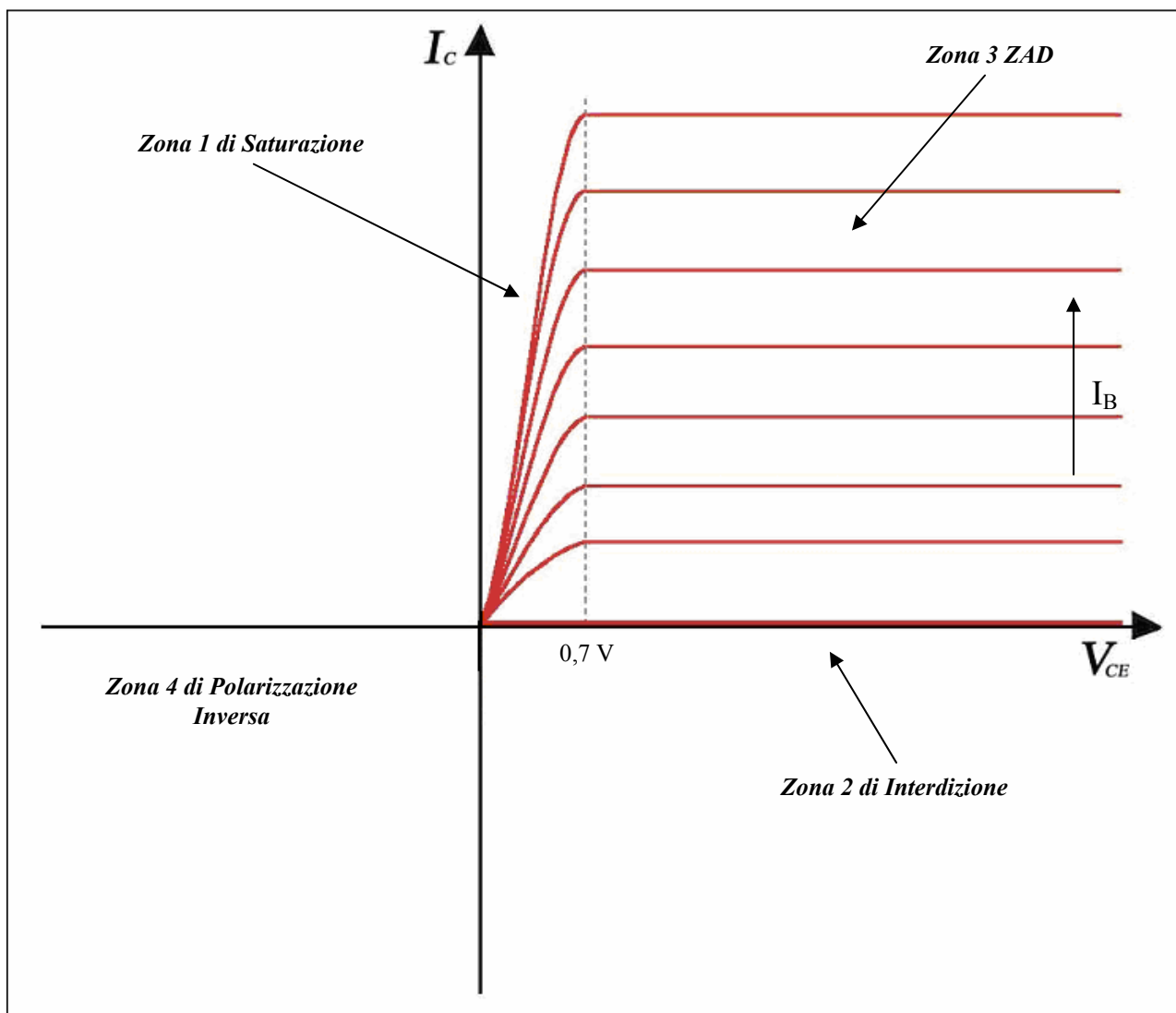


4. Zona attiva inversa

$$V_{BC} \cong 0.6 \quad V_{BE} \ll 0$$

Questa zona corrisponde a un'amplificazione di I_B di un fattore β_F .
E' scarsamente utilizzata.

E' possibile graficare le quattro zone nel piano (V_{CE} , I_C), con I_B a parametro.



Poiché sono presenti due diodi nel circuito equivalente di Ebers-Moll, si hanno quattro zone di funzionamento, in quanto ciascun diodo può essere polarizzato direttamente e inversamente. Si può quindi schematizzare le quattro zone

<i>ZONE DI FUNZIONAMENTO</i>	<i>GIUNZIONE BE</i>	<i>GIUNZIONE BC</i>
ZAD (amplificatore)	DIRETTA	INVERSA
ZAI (mai usata)	INVERSA	DIRETTA
ZS (per circuiti logici)	DIRETTA	DIRETTA
ZI (per circuiti logici)	INVERSA	INVERSA

Segue una tabella che riassume le tensioni V_{BE} , V_{BC} , V_{CE} nei casi precedenti

<i>ZONA DI FUNZIONAMENTO</i>	<i>V_{BE}</i>	<i>V_{BC}</i>	<i>V_{CE}</i>
ZAD	$V_{\gamma} \cong 0,7$	$< V_{\gamma}$	$> 0,3$
ZS	V_{γ}	V_{γ}	$< 0,2 \div 0,3$ (*)
ZI	$< V_{\gamma}$	$< V_{\gamma}$	Qualsiasi V (**)

Nota (1) : $V_{\gamma} \cong 0.7 \text{ V}$

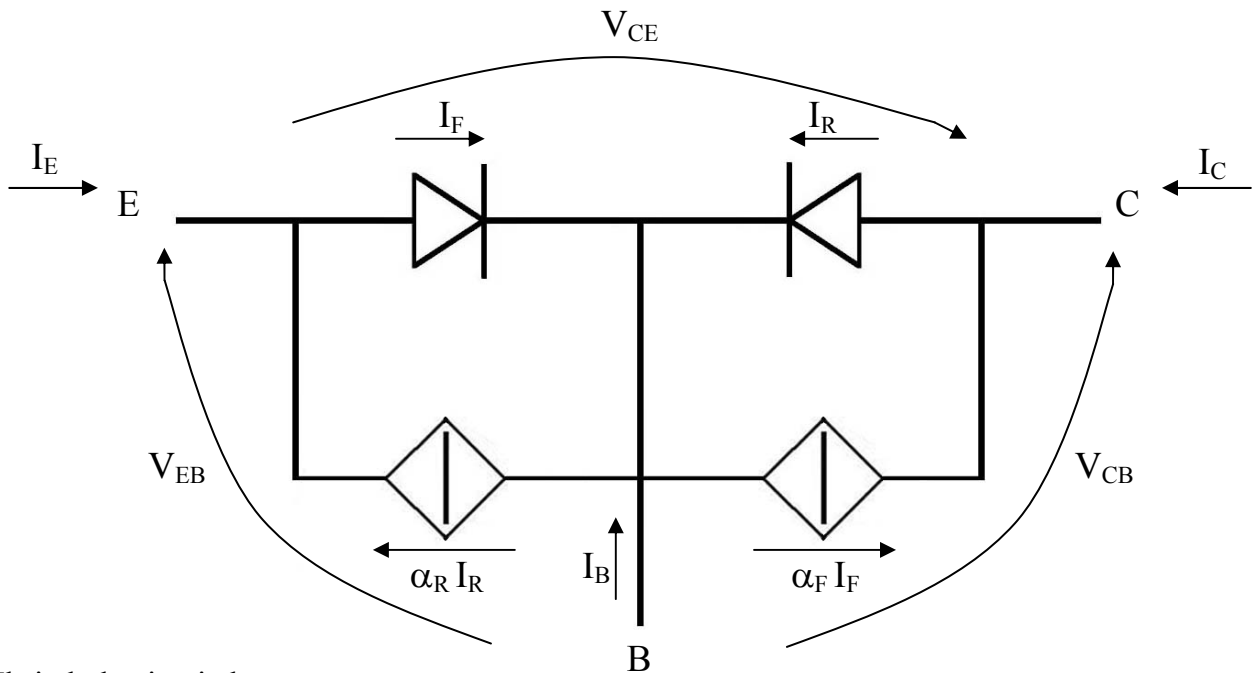
Nota (*) : Il transistor , rispetto ai nodi C e E , si comporta come un corto circuito.

Nota (**) : Il transistor , rispetto ai nodi C e E , si comporta come un circuito aperto.

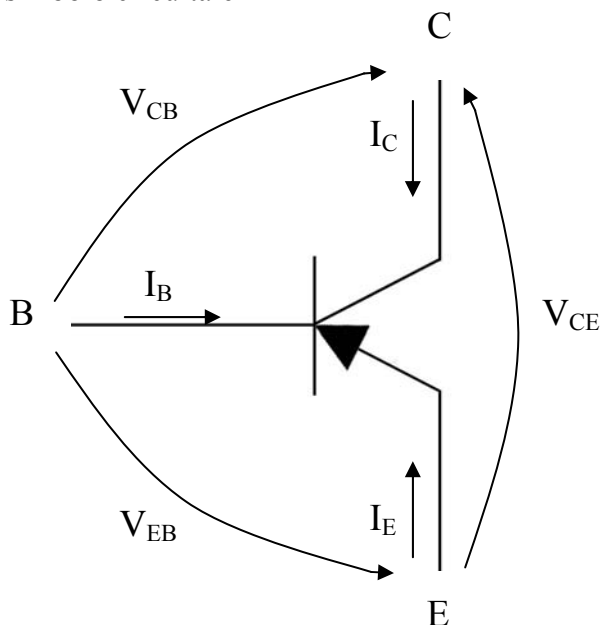
3.4 Transistore PNP

Il transistore p-n-p è il duale del transistore n-p-n e presenta una base drogata n e un emettitore drogato p, come il collettore.

Il circuito equivalente di Ebers-Moll per un p-n-p è il seguente



Il simbolo circuitale



Nella schematizzazione in genere si invertono i potenziali V_{BC} e V_{BE} , inoltre il simbolo presenta la freccia dell'emettitore direzionata al contrario rispetto a prima, la freccia indica la direzione della

corrente quando la giunzione EB è in diretta e CB in inversa. La freccia va da E a C (V_{CE}) all'interno del componente perché a muoversi sono le lacune, cariche positive, in questo caso il verso della corrente reale coincide con quello dei portatori di carica, nell'ipotesi che BE sia polarizzato in diretta.

$$V_{BE} \cong 0,7 \text{ V}$$

$$V_{CB} \ll 0$$

I diodi sono posizionati al contrario rispetto al circuito n-p-n, pertanto cambiano anche i versi delle correnti I_R e I_F che attraversano i diodi e le direzioni dei potenziali, per cui non si misureranno più V_{BE} e V_{BC} , ma V_{EB} e V_{CB} .

$$I_E \cong I_F$$

$$I_C \cong -\alpha_F \cdot I_F$$

Come per il transistor n-p-n, anche il p-n-p è descritto dal modello di Ebers-Moll che fornisce il circuito equivalente ai grandi segnali, infatti il circuito precedente è spiccatamente non lineare.

Analogamente a quanto fatto per l'n-p-n anche per il p-n-p esistono quattro zone di funzionamento, descritte nella seguente tabella

<i>ZONA DI FUNZIONAMENTO</i>	<i>GIUNZIONE BE</i>	<i>GIUNZIONE BC</i>	V_{BE}	V_{CB}	V_{CE}
ZAD	Diretta	Inversa	V_γ	$< V_\gamma$	$< -0,3$
ZI	Inversa	Inversa	$< V_\gamma$	$< V_\gamma$	Qualsiasi (**)
ZS	Diretta	Diretta	V_γ	V_γ	$< -0,2 \div -0,3$ (*)

Nota (1) : $V_\gamma \cong 0.7 \text{ V}$

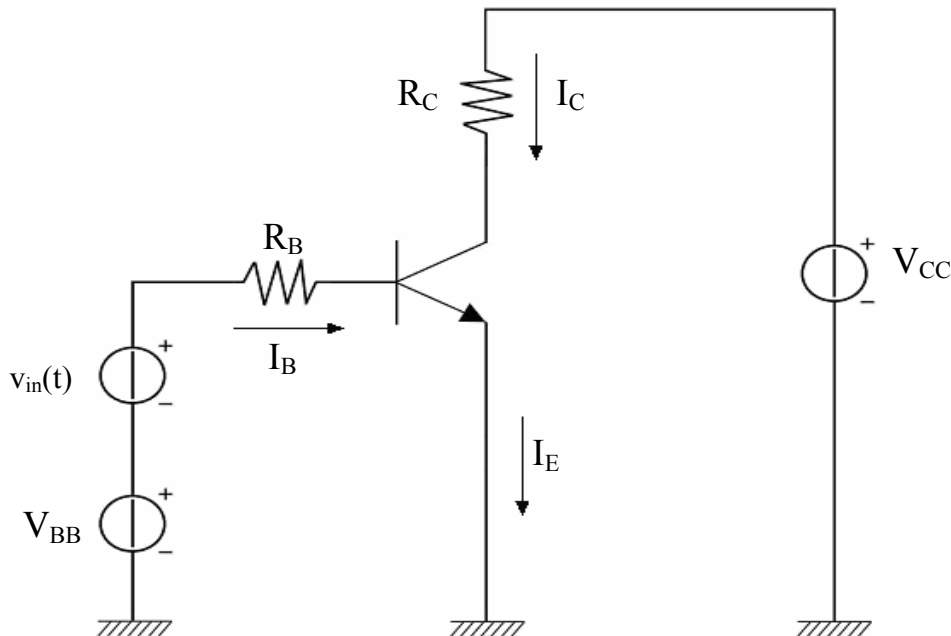
Nota (*) : Il transistor , rispetto ai nodi C e E , si comporta come un corto circuito.

Nota (**) : Il transistor , rispetto ai nodi C e E , si comporta come un circuito aperto.

3.5 Amplificatore invertente

Il transistor bipolare (BJT) può essere utilizzato anche come amplificatore invertente.

Si consideri il seguente circuito con il BJT ad emettitore comune :



Siano V_{CC} e V_{BB} due tensioni di alimentazione costante del circuito in ingresso e in uscita. Si supponga inoltre di applicare al circuito un terzo alimentatore di tensione di tipo tempo variante $V_{in}(t)$. Lo scopo del circuito sarà quello di amplificare il segnale tempo variante.

Si consideri ora la variazione di V_{CE} nel tempo.

Dalle KTL per le due maglie si ottiene

- maglia dei generatori di ingresso

$$V_{in}(t) + V_{BB} - R_B i_B - V_{BE} = 0$$

con $V_{BE} \cong 0,7 \text{ V}$ perché si suppone di lavorare in ZAD

- maglia del generatore di uscita

$$V_{CE} + R_C I_C - V_{CC} = 0$$

da cui si ottiene

$$V_{CE} = V_{CC} - R_C I_C = V_{CC} - R_C \beta_F I_B$$

e considerando che

$$I_C = \beta_F I_B$$

si ottiene

$$\begin{aligned} V_{CE} &= V_{CC} - \frac{R_C \beta_F}{R_B} \cdot (V_{in}(t) + V_{BB} - V_{BE}) = \\ &= V_{CC} - \frac{R_C \beta_F}{R_B} \cdot (V_{BB} - 0,7) - \frac{R_C \beta_F}{R_B} \cdot (V_{in}(t)) \end{aligned}$$

cioè la tensione in uscita V_{CE} è formata da una componente costante $V_{CC} - \frac{R_C \beta_F}{R_B} \cdot (V_{BB} - 0,7)$ che determina il punto di lavoro e si vedrà in seguito è una componente ai grandi segnali e da una componente tempo variante $-\frac{R_C \beta_F}{R_B} \cdot (V_{in}(t))$ che è l'amplificazione ai piccoli segnali.

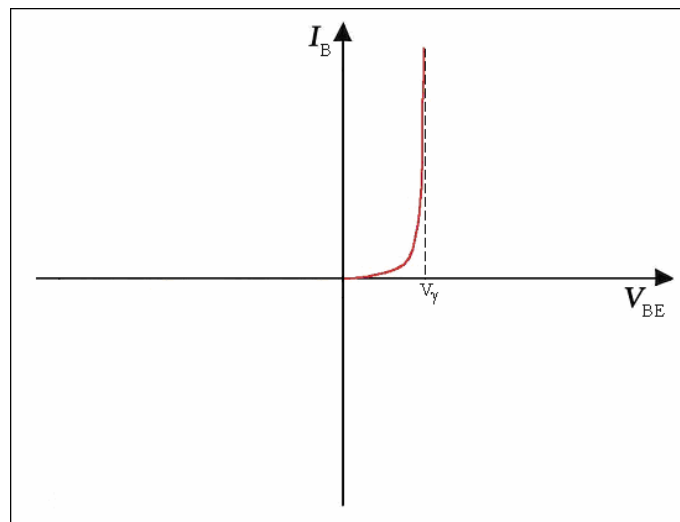
Essendo β_F grande (circa 100), ai piccoli segnali la forma d'onda viene amplificata e cambiata di segno per cui ne consegue la configurazione invertente del BJT come amplificatore.

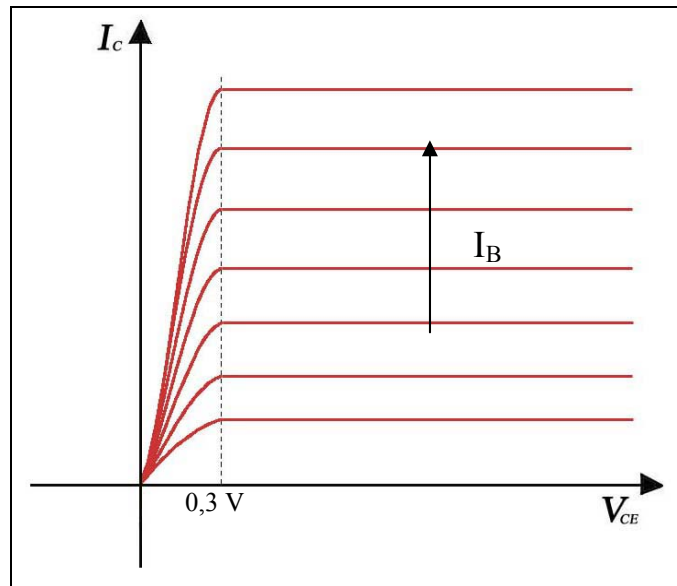
Caratteristica

Si consideri di determinare l'andamento di V_{out} , cioè di V_{CE} , in funzione di $V_{in}(t)$.

Si trascuri la componente ai piccoli segnali, per cui la $V_{in}(t) = V_{BB}$ applicata alla base-emettitore.

Viene in seguito graficata la caratteristica di ingresso e di uscita del circuito e del transistor





Applicando le KTL ai circuiti di ingresso e di uscita si ottiene

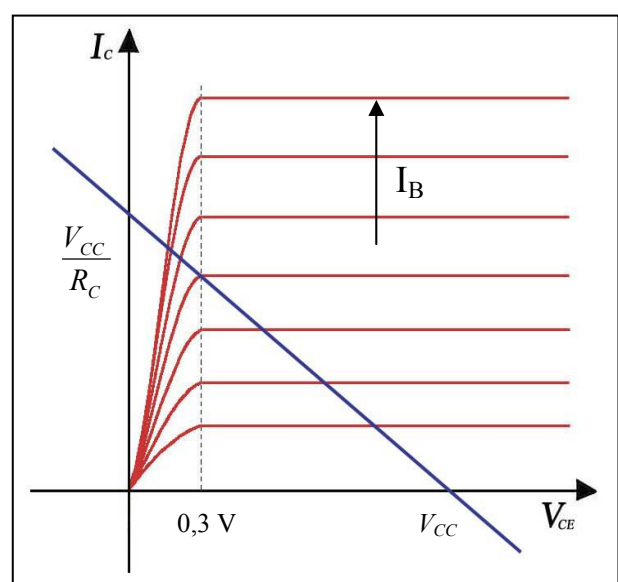
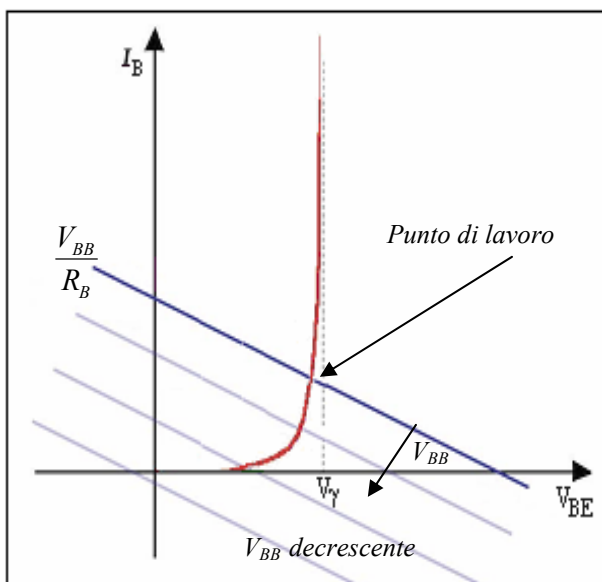
– ingresso

$$V_{BB} - R_B I_B - V_{BE} = 0 \quad (1)$$

– uscita

$$V_{CE} + R_C I_C - V_{CC} = 0 \quad (2)$$

Queste due equazioni sono rette e possono essere evidenziate sui grafici precedenti



Si osservi ora come cambia V_{CE} facendo variare V_{BB}

– Se V_{BB} è piccolo, cioè inferiore a $V_\gamma \cong 0,7 \text{ V}$

La giunzione base - emettitore non viene polarizzata direttamente. L'intercetta fra la retta di carico e la caratteristica in ingresso del transistor bipolare risulta per un valore di I_B molto basso. Approssimando la caratteristica del transistor bipolare in ingresso con quella di un diodo, ne consegue che I_B è nulla per valori di $V_{BE} \leq 0,7 \text{ V}$. Inoltre essendo $I_C = \beta_F I_B$ si ottiene, nella caratteristica di uscita, che $V_{CE} = V_{CC}$.

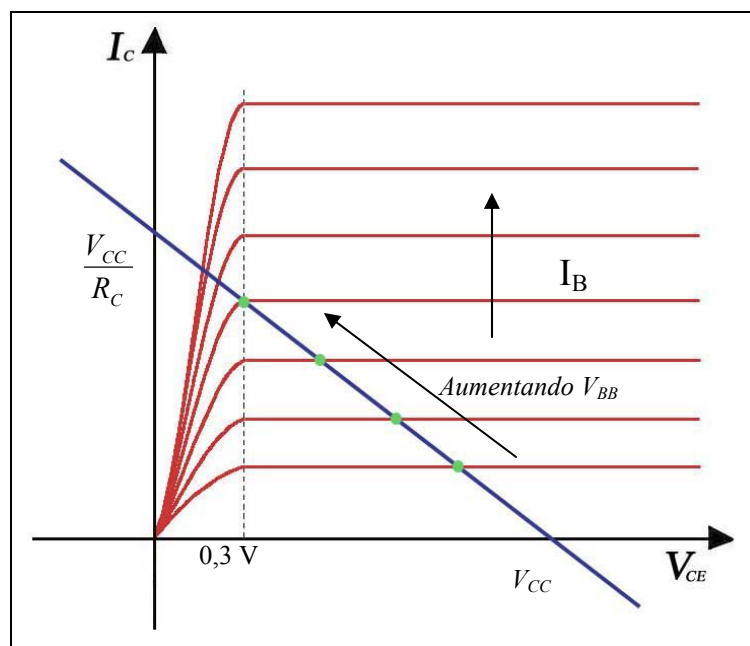
In pratica il transistor bipolare funziona in zona di polarizzazione inversa ed è sostanzialmente un circuito aperto.

- Se V_{BB} aumenta e diventa maggiore di $V_{BE} \cong 0,7 \text{ V}$

La giunzione BE viene a polarizzarsi in diretta, per cui $V_{BE} = V_{BE}$ e $I_B \cong \frac{(V_{BB} - V_{BE})}{R_B}$.

Se la I_B comincia a crescere, la zona di funzionamento che prima era $V_{CE} = V_{CC}$ e $I_C = I_B = 0$ si muove lentamente verso sinistra (nel grafico della caratteristica) per cui I_B e I_C crescono e V_{CE} decresce.

Considerato il fatto che il punto di funzionamento del circuito deve appartenere alla retta di carico, allora anche questo si sposterà, al crescere di I_B verso sinistra.



In questo modo diminuisce anche V_{CB} in quanto

$$V_{CB} = V_{CE} - V_{BE}$$

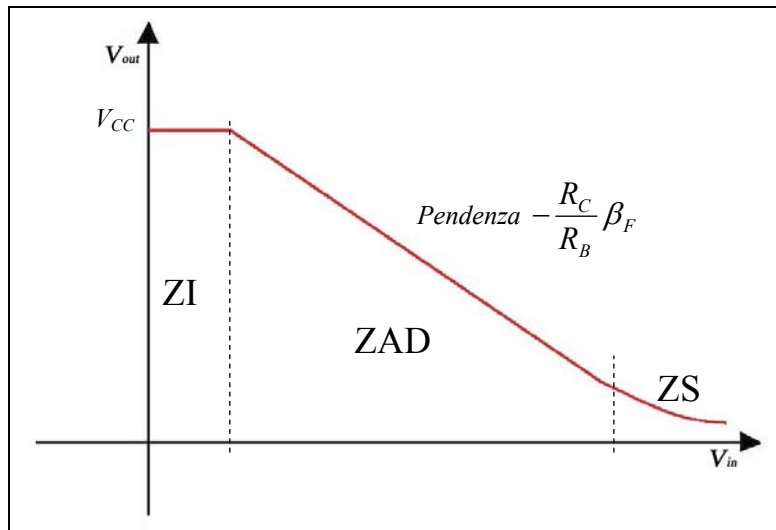
per cui visto che V_{CE} decresce e V_{BE} cresce, ne consegue che V_{CB} decresce.

- Sino a che V_{CB} è positivo, il transistor bipolare rimane polarizzato in diretta, ma quando V_{CB} diventa negativo, allora la corrente di base diventa maggiore di quella di collettore, per cui la giunzione BC viene a polarizzarsi anche essa in diretta. Essendo entrambe le giunzioni

polarizzate in diretta, la zona di funzionamento del transistor bipolare diventa la zona di saturazione.

In questo caso la $V_{in} = V_{CC}$ e la V_{out} (cioè la V_{CE}) diventa quasi nulla.

Graficando la V_{out} in funzione della V_{in} si ottiene :



Il transistor bipolare utilizzato in ZI e ZS funziona come un invertitore: se fornisco una corrente in entrata, ottengo in uscita un circuito aperto e viceversa. In ZAD invece funziona come amplificatore invertente.

Lo studio precedente della caratteristica, fatto ai grandi segnali, serve per determinare il punto di lavoro. Determinato il punto di lavoro è ora possibile passare allo studio del circuito reintroducendo il generatore tempo variante e risolvendo la caratteristica ai piccoli segnali, poiché sarà dimostrato come il punto di lavoro è praticamente indipendente dal generatore tempo invariante.

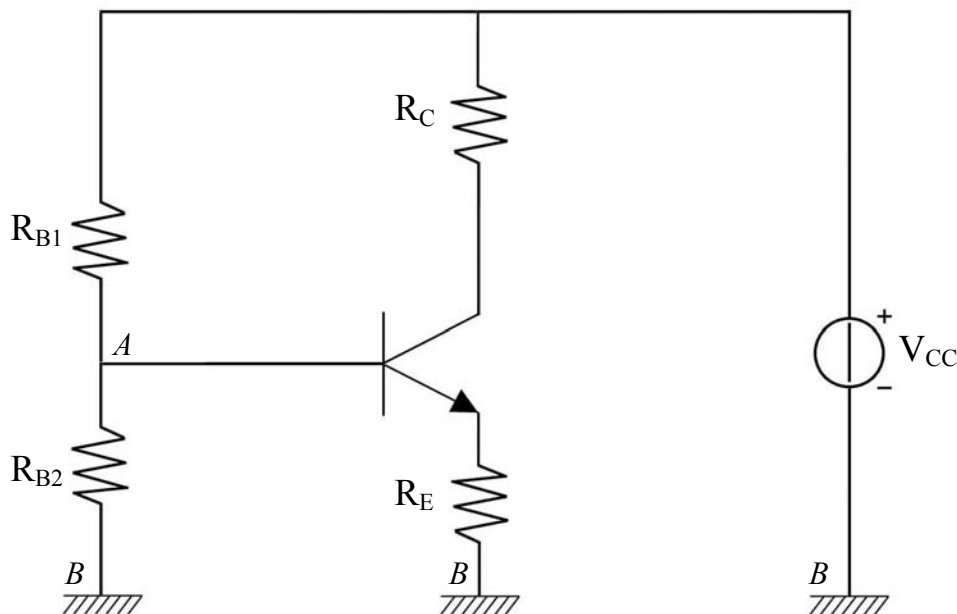
3.6 Circuito di polarizzazione

Il circuito di polarizzazione si utilizza per fissare il punto di lavoro di un transistor. Per utilizzare il transistor bipolare come amplificatore devo fissare il punto di lavoro in zona attiva diretta.

Circuito di polarizzazione indipendente da β_F

Utilizzando un circuito di polarizzazione normale, il punto di lavoro risulta indipendente da β_F . Questa dipendenza è da evitare in quanto è molto difficile controllare con sufficiente accuratezza il valore di β_F . Per questo si utilizzano dei circuiti di polarizzazione costruiti in modo tale da rendere trascurabile la dipendenza del punto di lavoro da β_F .

Si consideri ora il seguente circuito di polarizzazione :

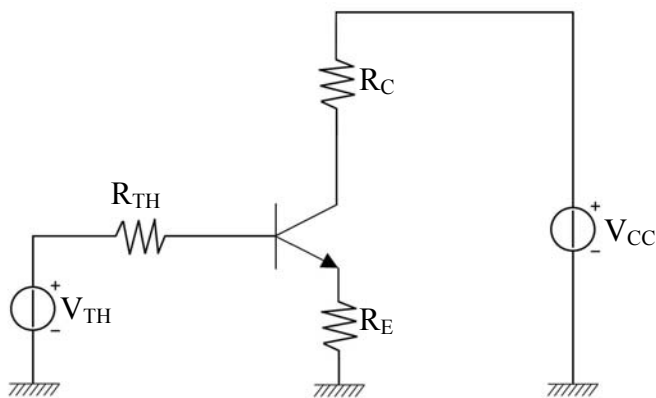


Si determinerà ora il circuito equivalente di Thevenin tra i nodi A e B in modo tale da ottenere dei valori di R_{B1} , R_{B2} , R_C e R_E che rendano il punto di lavoro indipendente da β_F .

$$V_{TH} = R_{B2} \cdot I_{B2}$$

$$R_{TH} = \frac{R_{B1} \cdot R_{B2}}{R_{B1} + R_{B2}}$$

E' possibile ora riscrivere il circuito Thevenin :



Scrivendo le KTL per il circuito di ingresso e di uscita risulta

$$\begin{cases} V_{TH} - R_{TH} I_B - R_E I_E - V_{BE} = 0 \\ R_E I_E + R_C I_C - V_{CC} + V_{CE} = 0 \end{cases}$$

Si suppone ora di polarizzare il transistor bipolare in polarizzazione attiva diretta, per cui, considerato il fatto che (con α e β si intende rispettivamente α_F e β_F)

$$V_{BE} \cong 0,7 \text{ V}$$

$$I_E = \frac{I_C}{\alpha}$$

$$I_C = \beta \cdot I_B$$

si ottiene

$$V_{TH} = \frac{R_{TH} \cdot I_E}{\beta + 1} + V_{BE} + R_E I_E$$

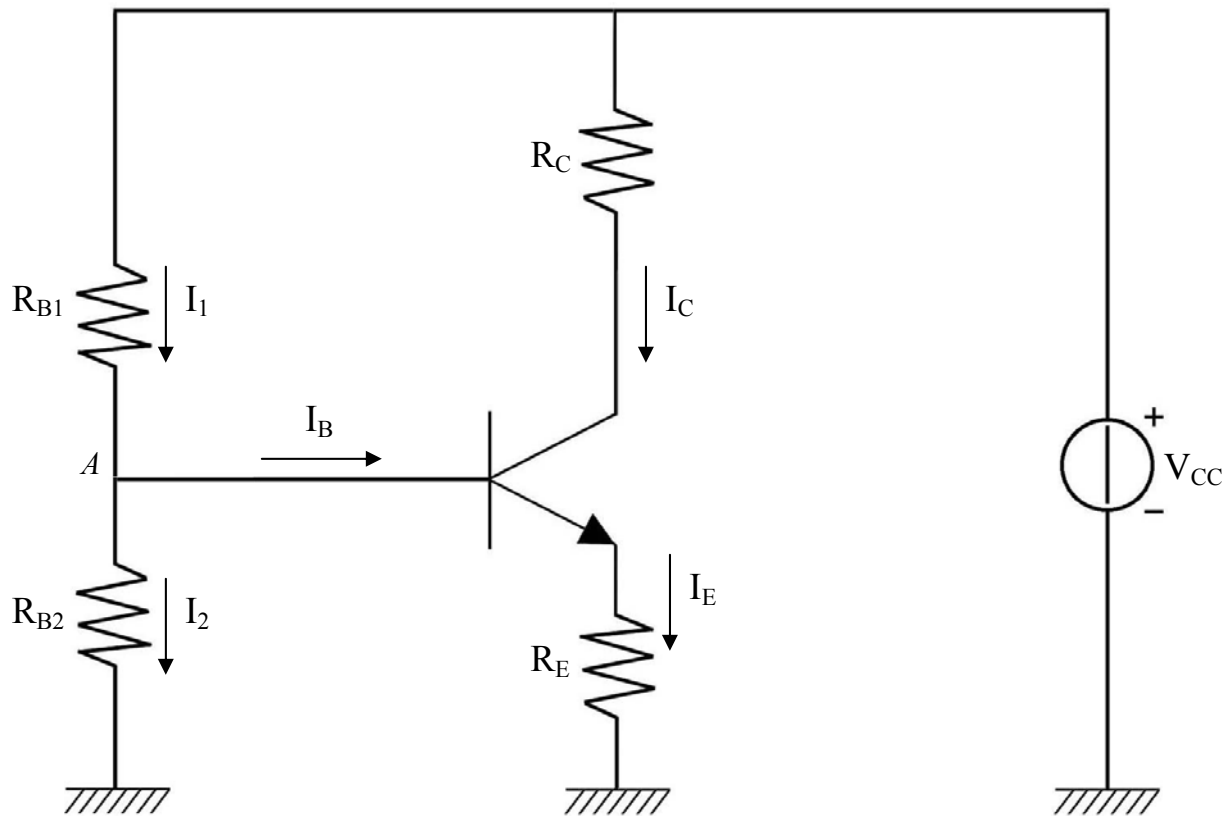
$$I_E = \frac{V_{TH} + V_{BE}}{\frac{R_{TH}}{\beta + 1} + R_E} \quad \text{ma essendo } \beta \gg 1, \text{ considero } \frac{R_{TH}}{\beta + 1} \cong 0$$

$$\Rightarrow I_E^0 = \frac{I_C^0}{\alpha} \cong \frac{V_{TH} + V_{BE}}{R_E}$$

da cui ricavo gli altri parametri fondamentali.

Metodo approssimato (valido per la sintesi)

Il circuito di polarizzazione indipendente da β_F può essere risolto anche senza l'utilizzo del circuito equivalente di Thevenin tramite il metodo approssimato imponendo per esempio che la corrente di base sia molto piccola. In questo modo determino i parametri fondamentali di polarizzazione, ricalcolo I_B^* e verifico se l'ipotesi di partenza è valida.



Applicando le KCL al nodo A si ottiene

$$I_1 - I_2 - I_B = 0$$

Il metodo semplificato consiste nel porre $I_1 = I_2$. Questo risulta vero se sia I_1 che I_2 sono molto maggiori di I_B .

Considerando quindi la corrente di base molto piccola posso calcolare agevolmente i vari parametri.

Usando il partitore di tensione resistivo alla maglia grande

$$V_B = \frac{R_{B2}}{R_{B1} + R_{B2}} \cdot V_{CC}$$

Applicando le KTL

$$-V_{BE} - R_E I_E + V_B^0 = 0$$

$$\Rightarrow I_E^0 = \frac{V_B^0 - V_{BE}^0}{R_E}$$

con $V_{BE}^0 \cong 0,7 \text{ V}$ poiché si considera di lavorare in ZAD e considerando che

$$I_C^0 = \alpha \cdot I_E^0$$

$$\Rightarrow V_{CE} + R_C I_C^0 - V_{CC} + R_E I_E^0 = 0$$

per cui

$$\Rightarrow V_{CE}^0 = V_{CC} - R_C I_C^0 - R_E I_E^0$$

da cui calcolo il punto di lavoro.

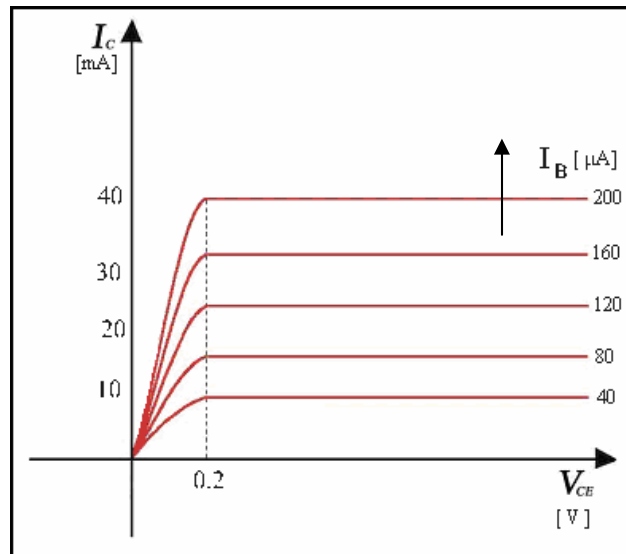
Infine devo verificare la mia ipotesi sulla corrente di base verificando che sia I_1 che I_2 siano molto maggiori di I_B . Questo lo determino calcolando la corrente di base nel punto di lavoro

$$I_B^0 = \frac{I_E^0}{\beta}$$

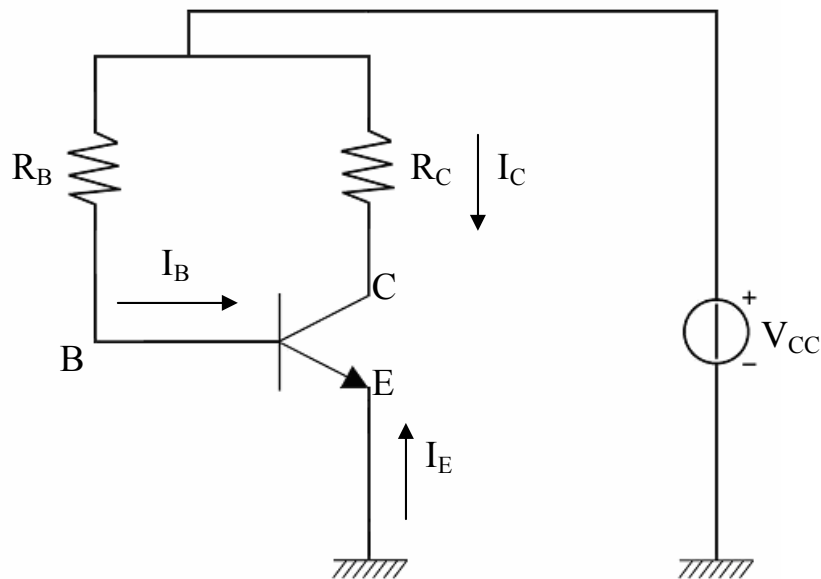
e confrontandola con i valori calcolati di I_1^0 e I_2^0 . Se l'ipotesi di partenza è verificata allora il metodo approssimato è da ritenersi valido, altrimenti bisogna utilizzare il circuito equivalente di Thevenin.

ESEMPIO 1

Sia data la seguente caratteristica di un amplificatore in uscita a un emettitore comune:



e sia dato il seguente circuito:



$$V_{CC} = 12 \text{ V}$$

Trovare i valori di R_B e R_C tali che il punto di lavoro sia:

$$V_{CE}^0 = 5 \text{ V}$$

$$I_C^0 = 15 \text{ mA}$$

Soluzione

Dalla figura si possono individuare due circuiti : uno d'ingresso e uno d'uscita .

Calcoliamo Kirchoff per i due circuiti :

$$\text{INGRESSO} \quad V_{BE} + R_B I_B - V_{CC} = 0 \quad (1)$$

$$\text{USCITA} \quad V_{CE} + R_C I_C - V_{CC} = 0 \quad (2)$$

Le due equazioni caratteristiche per i circuiti sono valide per ogni punto di funzionamento.

Sostituendo nella (2) V_{CE}^0 e I_C^0 si trova :

$$R_C = \frac{V_{CC} - V_{CE}^0}{I_C^0} = \frac{12 - 5}{15 \cdot 10^{-3}} = 466 \, \Omega$$

Dalla caratteristica ricavo che :

$$\beta_F = \frac{I_C}{I_B} = \frac{10 \cdot 10^{-3}}{40 \cdot 10^{-6}} = 250$$

quindi:

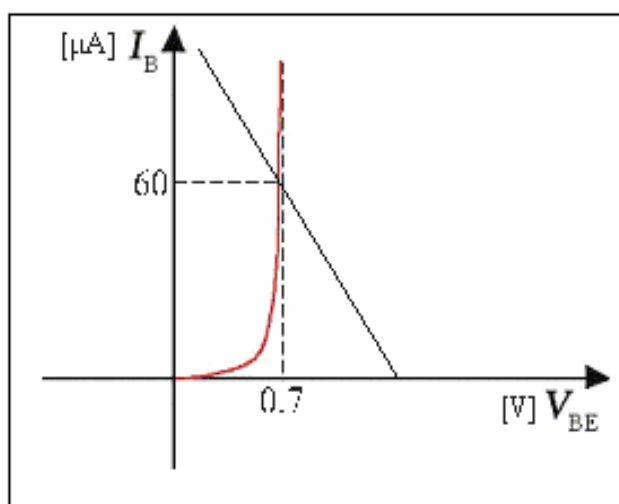
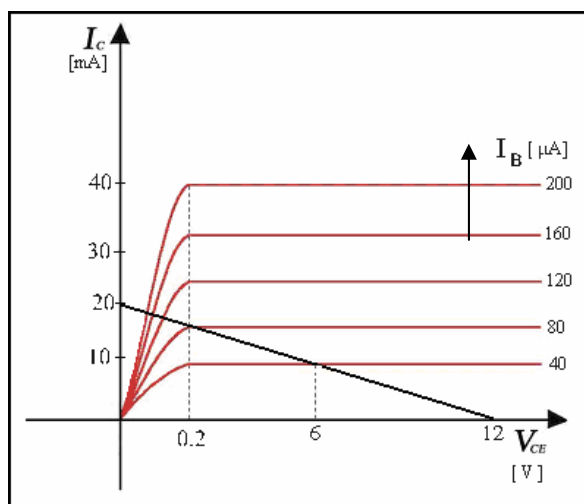
$$I_B^0 = \frac{I_C^0}{\beta_F} = 60 \mu A$$

dalla (1) troviamo :

$$R_B = \frac{V_{CC} - V_{BE}^0}{I_B^0} = \frac{12 - 0.7}{60 \cdot 10^{-6}} = 188 \, K\Omega$$

con $V_{BE}^0 \cong V_\gamma = 0.7 \, V$ perché lavoriamo in ZAD .

L'esercizio poteva anche essere risolto andando a sovrapporre le caratteristiche dei due circuiti (ingresso e uscita) sulle rispettive caratteristiche del transistor :



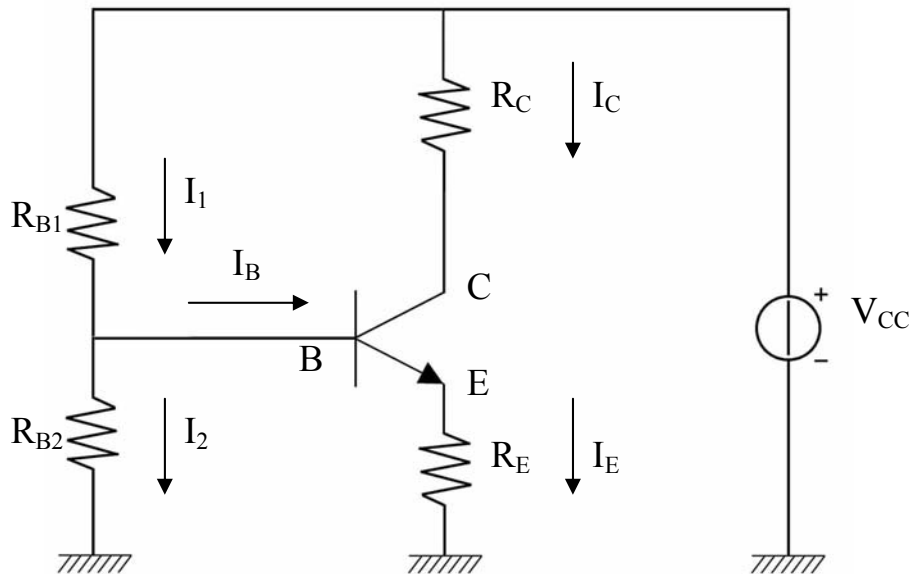
A questo punto , per essere sicuri che la soluzione sia esatta , è necessario che sia verificata la condizione :

$$I_1, I_2 \gg I_B$$

Vediamo a questo proposito un altro esempio :

ESEMPIO 2

Sia dato un circuito di polarizzazione in ZAD di un transistor bipolare a emettitore comune:



$$V_{CC} = 5 \text{ V}$$

$$R_{B1} = 840 \, \Omega$$

$$R_{B2} = 160 \, \Omega$$

$$\beta > 100 \Rightarrow \alpha > 0.99$$

$$V_C^0 = 3 \text{ V}$$

$$I_C^0 = 10 \text{ mA}$$

Trovare i valori di R_C e R_E per cui siano valide le condizioni di polarizzazione in ZAD e siano verificate le altre variabili .

Soluzione

Supponiamo che $I_1, I_2 \gg I_B$.

$$V_B^0 = \frac{R_{B2}}{R_{B1} + R_{B2}} \cdot V_{CC} = \frac{160}{840 + 160} \cdot 5 = 0.8 \text{ V}$$

per cui :

$$I_2 = \frac{V_B^0}{R_{B2}} = \frac{0.8}{160} = 5 \text{ mA}$$

$$\text{se } I_B^0 \ll I_1^0, I_2^0 \Rightarrow I_1 \cong I_2 \Rightarrow I_1 = 5 \text{ mA}$$

Dall'equazione :

$$V_B^0 - V_{BE}^0 - R_E I_E^0 = 0$$

sapendo che :

$$V_{BE}^0 = 0.7V$$

$$I_E = \frac{I_C^0}{\alpha} = \frac{10 \cdot 10^{-3}}{0.99} = 10.1 \text{ mA}$$

si ricava :

$$R_E = \frac{V_B^0 - V_{BE}^0}{I_E^0} = \frac{0.8 - 0.7}{10.1 \cdot 10^{-3}} = 9.9 \Omega$$

Mentre dall'equazione :

$$V_C^0 + I_C^0 R_C - V_{CC} = 0$$

troviamo :

$$R_C = \frac{V_{CC} - V_C^0}{I_C^0} = \frac{5 - 3}{10 \cdot 10^{-3}} = 200 \Omega$$

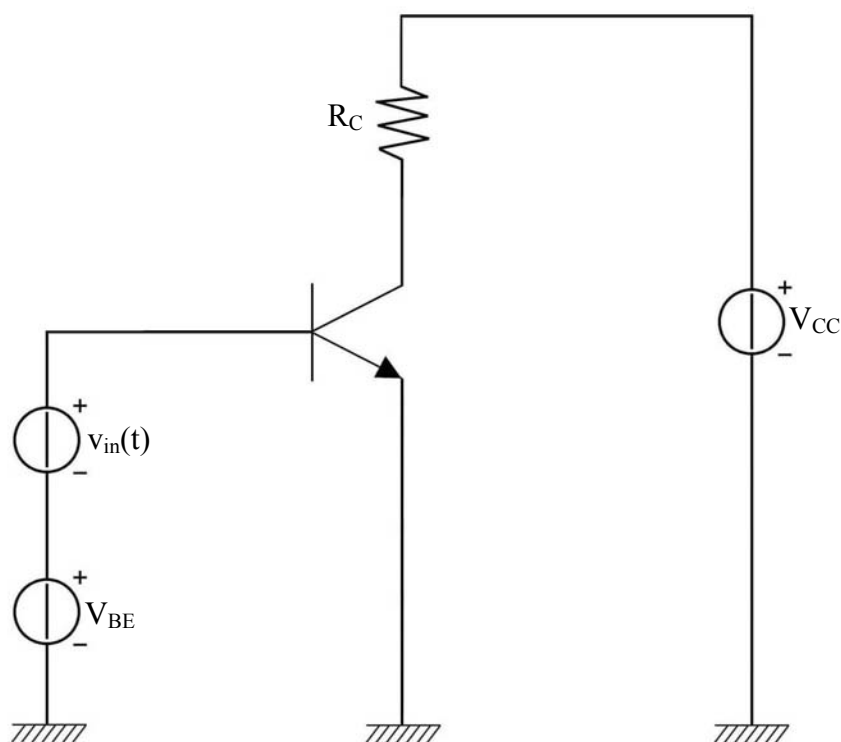
Ora si deve verificare che i dati siano corretti , quindi calcoliamo I_B^0 e lo confrontiamo con I_1 e I_2 :

$$I_B^0 = \frac{I_C^0}{\beta} \cong \frac{10 \cdot 10^{-3}}{100} = 0.1 \text{ mA}$$

e dato che risulta $I_B^0 \ll I_1^0, I_2^0$ la condizione di partenza è verificata.

3.7 Analisi ai piccoli segnali di uno stato amplificatore ad emettitore comune

Si consideri il seguente circuito ai grandi segnali del BJT in configurazione ad emettitore comune.



La $V_{in}(t)$ si suppone composta di due componenti: una tempo invariante V_{BE}^0 ed un segnale che contiene l'informazione $v_{in}(t)$. Si consideri inoltre l'ipotesi dei piccoli segnali

$$\max \left\{ |v_{in}(t)| \right\} \ll |V_{BE}^0|$$

Si determinerà ora il punto di lavoro.

Si consideri inizialmente $v_{in}(t) = 0$. Utilizzando il circuito equivalente di Ebers-Moll si ottiene

$$I_C^0 = \alpha_F I_F^0 - I_R^0$$

Lavorando in ZAD, il diodo D_2 (cfr. modello di E.M.) è in inversa per cui ne consegue che $I_R \cong 0$

$$\Rightarrow I_C^0 \cong \alpha_F I_F^0$$

Inoltre considerato che :

$$I_E^0 = \frac{I_C^0}{\alpha} \qquad I_B^0 = \frac{I_C^0}{\beta}$$

$$I_C^0 \cong \alpha_F \cdot I_{ES} \cdot \left[e^{\frac{V_{BE}^0}{V_T}} - 1 \right] \qquad \text{poiché è polarizzato in ZAD}$$

si ottiene che :

$$I_C^0 \cong \alpha_F \cdot I_{ES} \cdot e^{\frac{V_{BE}^0}{V_T}}$$

A questo punto la V_{CE}^0 del punto di lavoro è possibile ricavarla applicando la KTL al circuito di uscita

$$V_{CE}^0 = V_{CC} - R_C I_C^0$$

Si analizza ora la componente ai piccoli segnali.

La corrente di collettore derivante dal segnale tempo variante in ingresso è

$$I_C(t) \cong \alpha_F I_{ES} \cdot e^{\frac{V_{BE}^0 + v_{in}(t)}{V_T}} = \alpha_F I_{ES} \cdot e^{\frac{V_{BE}^0}{V_T}} \cdot e^{\frac{v_{in}(t)}{V_T}}$$

$$I_C(t) \cong I_C^0 \cdot e^{\frac{v_{in}(t)}{V_T}}$$

Se la $|v_{in}(t)| \ll V_T$ allora $e^{\frac{v_{in}(t)}{V_T}} \cong \frac{v_{in}(t)}{V_T} + 1$ da cui

$$I_C(t) \cong I_C^0 \cdot \left(\frac{v_{in}(t)}{V_T} + 1 \right)$$

A temperatura ambiente la tensione massima del segnale deve essere, teoricamente, inferiore a 25mV.

$$I_C(t) = I_C^0 + \frac{I_C^0}{V_T} \cdot v_{in}(t)$$

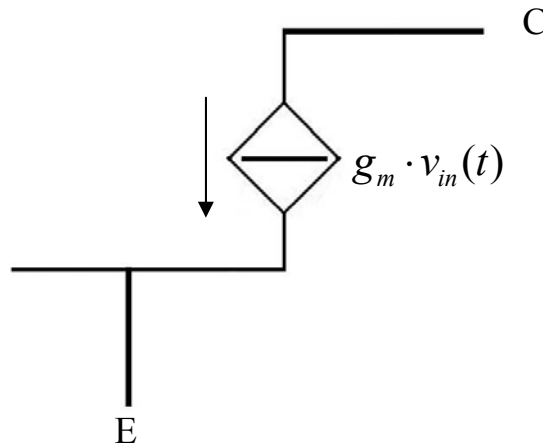
Il valore $\frac{I_C^0}{V_T}$ ha le dimensioni di Ohm^{-1} per cui è una transconduttanza.

La corrente sul collettore ($I_C(t)$) è controllata dalla differenza di potenziale che è presente nella giunzione base – emettitore ($v_{in}(t)$).

Chiamando quindi $g_m = \frac{I_C^0}{V_T}$ risulta :

$$I_C(t) = I_C^0 + g_m \cdot v_{in}(t)$$

In pratica è come se avessi tra la giunzione emettitore e collettore un VCCS messo nel seguente modo :



Si consideri ora la corrente di base $I_B(t)$:

$$I_B(t) = \frac{I_C(t)}{\beta_F}$$

$$I_B(t) = \frac{I_C^0}{\beta_F} + \frac{g_m}{\beta_F} \cdot v_{in}(t)$$

Quindi anche $I_B(t)$ è formata da una componente costante $\frac{I_C^0}{\beta}$ dovuta alla polarizzazione e da una componente tempo variante linearizzata ai piccoli segnali $\frac{g_m}{\beta_F} \cdot v_{in}(t)$.

Il termine $\frac{g_m}{\beta_F}$, essendo β_F un numero adimensionale, ha le dimensioni di una conduttanza.

Si consideri ora la resistenza di base (ovvero la resistenza vista fra B ed E) :

$$r_\pi = \frac{v_{BE}}{i_b} = \frac{\beta_F}{g_m}$$

per cui :

$$r_{\pi} = \frac{V_T}{I_B^0}$$

La corrente di E è pari a :

$$I_E(t) = \frac{I_C(t)}{\alpha_F} = \frac{I_C^0}{\alpha_F} + \frac{i_C(t)}{\alpha_F} = I_E^0 + i_E(t)$$

ove :

$$I_E^0 = \frac{I_C^0}{\alpha_F}$$

$$i_E(t) = \frac{I_C^0}{\alpha_F V_T} \cdot v_{in}(t) = \frac{I_E^0}{V_T} \cdot v_{in}(t)$$

La resistenza ai piccoli segnali vista fra B ed E “ guardando nell’ E ” è definita come :

$$r_E = \frac{v_{BE}}{i_E(t)} \equiv \frac{V_T}{I_E^0} \quad \text{Nota: } v_{in}(t) \equiv v_{BE}(t)$$

da cui :

$$r_E = \frac{\alpha_F}{g_m} \cong \frac{1}{g_m}$$

Poiché :

$$v_{BE}(t) = i_B(t) \cdot r_{\pi} = i_E(t) \cdot r_E$$

si ha :

$$r_{\pi} = \frac{i_E(t)}{i_B(t)} \cdot r_E = (\beta + 1) \cdot r_E$$

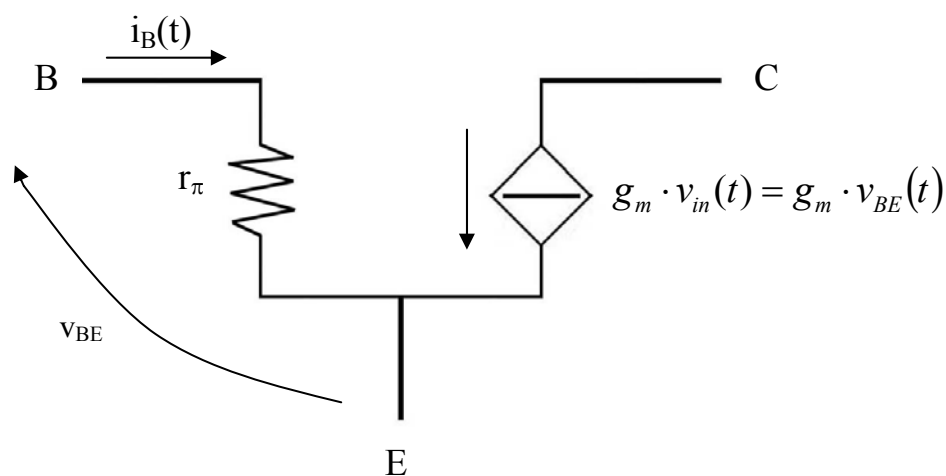
Il guadagno in tensione dell’amplificatore ad E comune è :

$$\begin{aligned} V_{ce}(t) &= V_{CC} - I_c(t) \cdot R_c = V_{CC} - (I_C^0 + i_C(t)) \cdot R_C = (V_{CC} - I_C^0 R_C) - i_C(t) \cdot R_C = \\ &= V_{CE}^0 - i_C(t) \cdot R_C \end{aligned}$$

$$v_{CE}(t) = -i_C(t) \cdot R_C = -g_m \cdot v_{BE}(t) \cdot R_C = (-g_m \cdot R_C) \cdot v_{in}(t)$$

$$A_v \equiv \frac{v_{CE}(t)}{v_{in}(t)} = -g_m \cdot R_C$$

3.8 Circuito equivalente ai piccoli segnali (π ibrido)

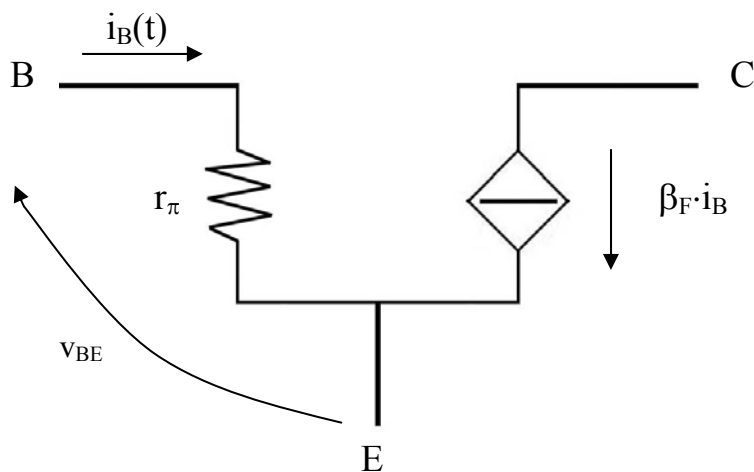


$$i_E(t) = \frac{v_{BE}}{r_\pi} + g_m \cdot v_{BE}(t) = \frac{v_{BE}}{r_\pi} \cdot (1 + g_m \cdot r_\pi) = \frac{v_{BE}}{r_\pi} \cdot (1 + \beta_F) = \frac{v_{BE}}{\frac{r_\pi}{1 + \beta_F}} = \frac{v_{BE}(t)}{r_E}$$

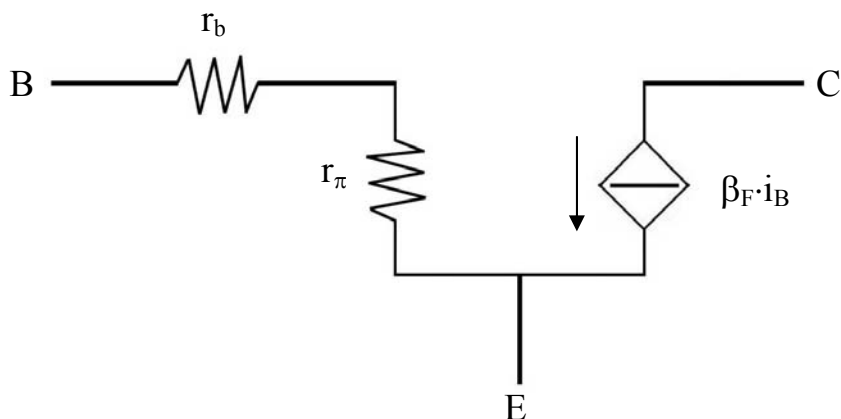
Poiché :

$$g_m \cdot v_{BE} = g_m \cdot i_B \cdot r_\pi = g_m \cdot r_\pi \cdot i_B = \beta_F \cdot i_B$$

il circuito ai piccoli segnali di prima si può anche disegnare come :

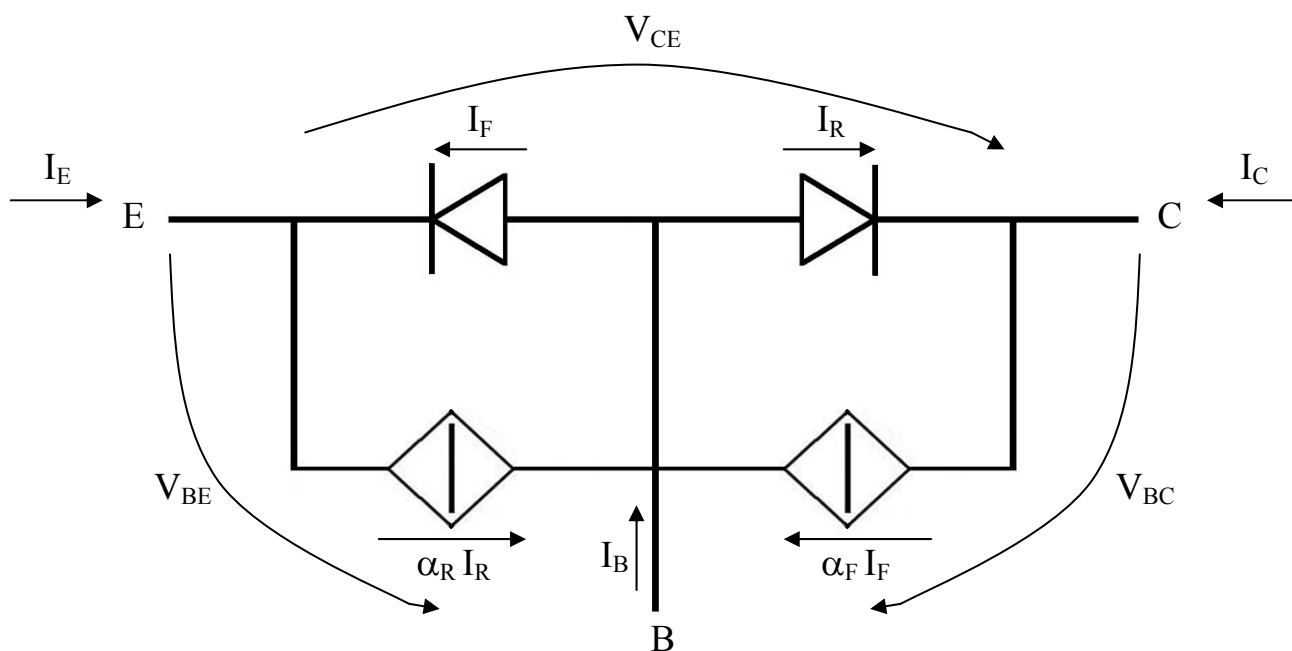


Occorre però inserire anche una resistenza r_b dovuta alla presenza della giunzione piedino – base, per cui :

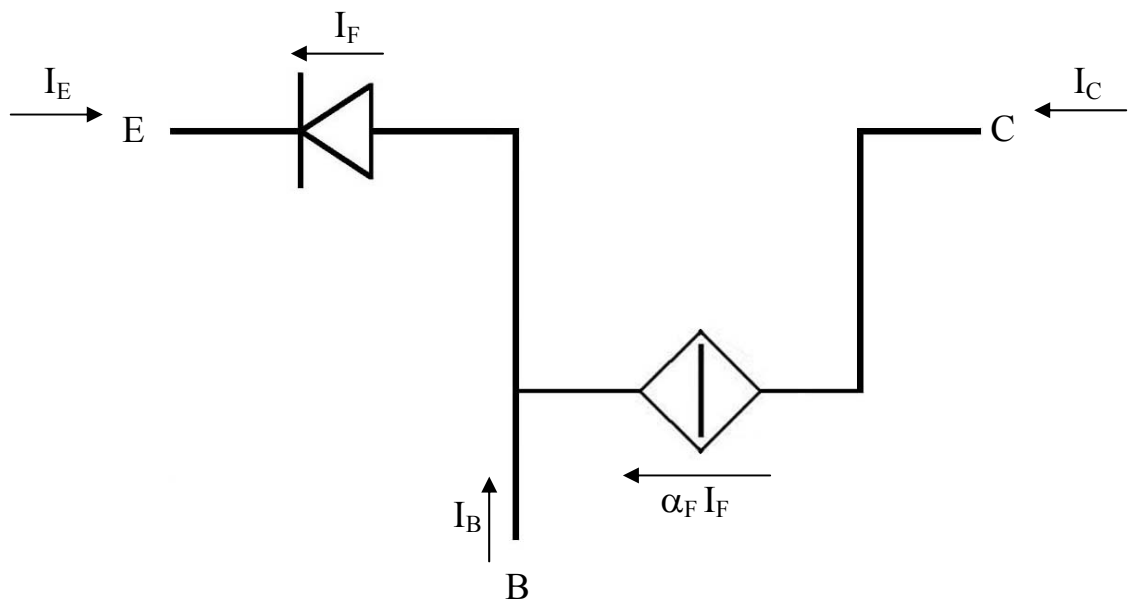


Il valore di r_b è compreso tra 40 e 400 Ω mentre quello di r_π è compreso tra 10^2 e 10^3 Ω .

Il precedente modello ai piccoli segnali può essere visto anche in relazione al modello di Ebers-Moll.



Lavorando in ZAD, il diodo D_2 si polarizza in inversa diventando un circuito aperto per cui la I_R diventa circa 0 e di conseguenza anche la $\alpha_R I_R$ diventa nulla. Il circuito che si ottiene è il seguente



Considerando la configurazione ad emettitore comune, basta variare la costante α_F del CCCS facendolo diventare un VCCS. Praticamente il valore di g_m è legato al valore di α_F e al diodo, mentre r_π risulta essere la resistenza differenziale del diodo D_1 calcolata nel punto di lavoro.

ESEMPIO : transistore bipolare come amplificatore.

Il circuito in figura 1 è uno stadio amplificatore elementare a emettitore comune . Allo scopo di dimostrare il funzionamento come amplificatore viene utilizzato un transistor 2N2222A con :

$$V_{CC} = 10 \text{ V}$$

$$R_L = 500 \, \Omega$$

$$R_B = 232.5 \text{ k}\Omega$$

$$R_S = 600 \, \Omega$$

$$r_b = 100 \, \Omega$$

$$I_{Cm} = 4 \text{ mA}$$

Il condensatore C (chiamato condensatore *di blocco*) è utilizzato per isolare la polarizzazione in continua dal generatore di segnale $V_s = V_{sm} \sin \omega t$ e dalla sua resistenza interna R_s .

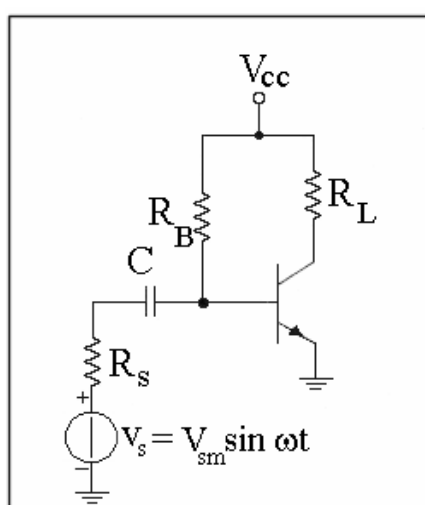


fig.1

Caratteristiche d'uscita e retta di carico :

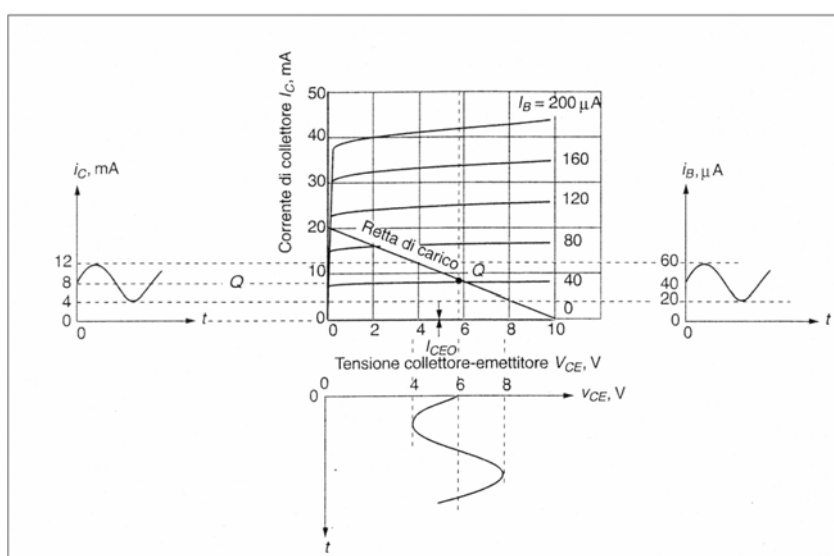


fig.2

Equazione della retta di carico :

$$I_C = -2V_{CE} + 20$$

Come si può notare dalla figura 2 , la tensione V_{CE} e la corrente I_C sono sfasate fra loro di 180° .

a) Determinare il punto di lavoro.

Ipotizziamo che :

$$\frac{1}{\omega C} \ll R_s$$

alla pulsazione ω del segnale il condensatore si comporta come un cortocircuito .

Quindi si può trovare che :

$$I_{R_B}^0 = \frac{V_{CC} - V_{BE}^0}{R_B} = \frac{10 - 0.6}{232.5} \cong 40 \mu A$$

A questo punto è possibile determinare il punto di lavoro graficamente e vale :

$$\begin{cases} I_B^0 = 40 \mu A \\ V_{CE}^0 = 6 V \\ I_C^0 = 8 mA \end{cases}$$

b) Determinare i parametri del circuito equivalente ai piccoli segnali del transistor bipolare tenendo conto di un segnale in uscita con ampiezza di picco pari a $V_{out m} = 2V$

Il circuito ai piccoli segnali è il seguente :

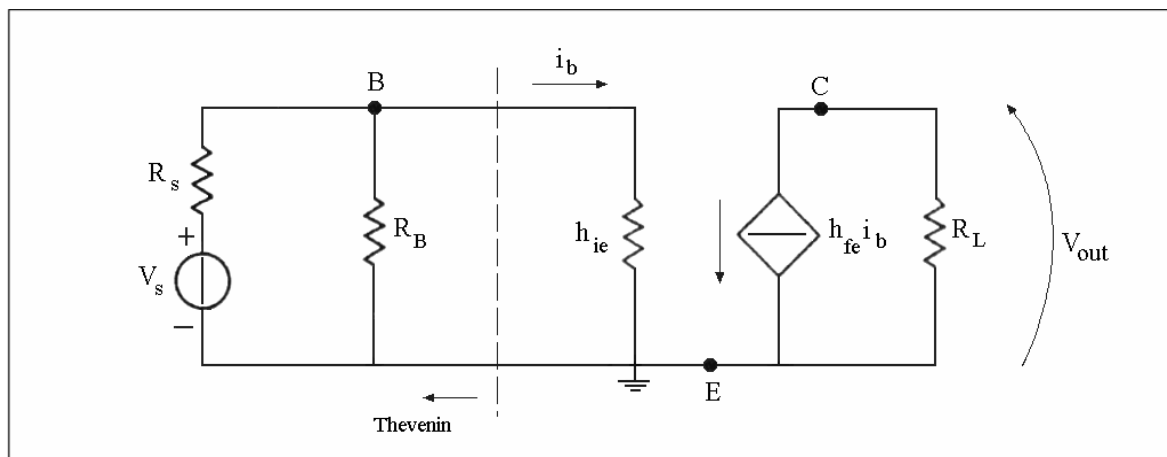


fig. 3

con $V_s = 265 mV$

$$I_B = I_B^0 + i_b = I_B^0 + I_{Bm} \cdot \sin \omega t$$

$$I_C = I_C^0 + i_c = I_C^0 + I_{Cm} \cdot \sin \omega t$$

$$V_{CE} = V_{CE}^0 + v_{CE} = V_{CE}^0 + V_{Cm} \cdot \sin \omega t$$

La transconduttanza g_m vale :

$$g_m = \frac{I_C^0}{V_T} = \frac{8}{25} = 0.32 \Omega^{-1}$$

con :

$$V_T = \frac{K \cdot T}{q} = 25 \text{ mV} \quad \text{a temperatura ambiente}$$

Il valore di β_F si ottiene dalla caratteristica della figura 2 lungo la linea tratteggiata in verticale ed è pari a :

$$\beta_F = \frac{(12 - 4) \cdot 10^{-3}}{(60 - 20) \cdot 10^{-6}} = 200$$

$$\beta_F \cong h_{fe}$$

La resistenza base-emettitore vista dalla base è :

$$r_\pi = \frac{\beta_F}{g_m} = \frac{200}{0.32} = 625 \Omega$$

$$h_{ie} = r_\pi + r_b = 625 + 100 = 725 \Omega$$

Il circuito equivalente di Thevenin della figura 3 è :

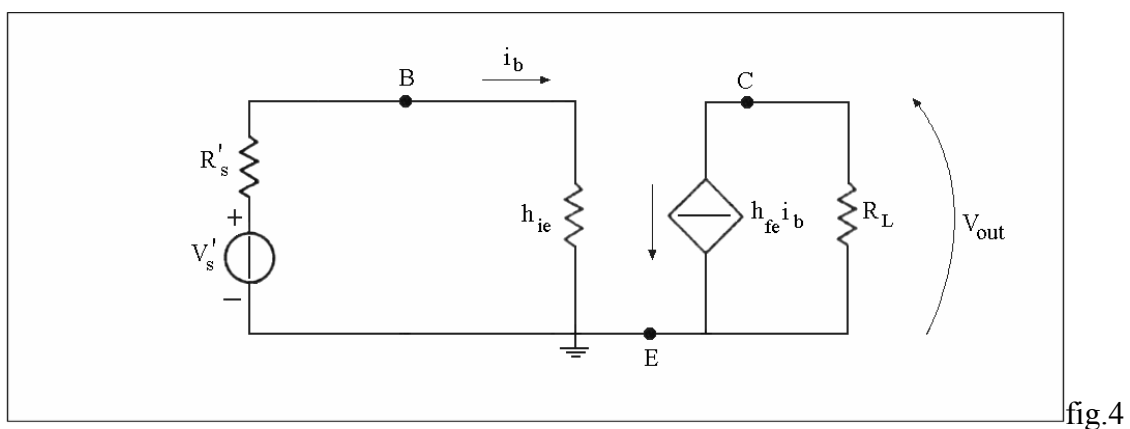


fig.4

$$V'_S = \frac{R_B}{R_B + R_S} \cdot V_S = \frac{232.5 \cdot 10^3}{232.5 \cdot 10^3 + 600} \cdot 265 \cdot 10^{-3} = 264.3 \text{ mV}$$

$$R'_S = R_S // R_B = \frac{R_S \cdot R_B}{R_S + R_B} = \frac{600 \cdot 232.5 \cdot 10^3}{600 + 232.5 \cdot 10^3} = 598.4 \Omega$$

Poiché i valori sono molto simili a V_S e R_S allora possiamo assumere :

$$V'_S = V_S \quad \text{e} \quad R'_S = R_S$$

Il guadagno di tensione ai piccoli segnali è :

$$A_V = -\frac{h_{fe} \cdot R_L}{R_S + h_{ie}} = -\frac{200 \cdot 500}{600 + 725} = -75.5$$

Il segno negativo di A_V indica l'inversione di fase .

Dalla figura 1 è possibile determinare :

$$I_B = V_S \cdot \frac{1}{R_S + h_{ie}} = 265 \cdot 10^{-3} \cdot \frac{1}{600 + 725} = 0.2 \text{ mA}$$

$$V_{out} = h_{fe} \cdot I_B \cdot R_L = h_{fe} \cdot V_S \cdot \frac{1}{R_S + h_{ie}} \cdot R_L = |A_V| \cdot V_S = 75.5 \cdot 265 \cdot 10^{-3} = 20 \text{ V}$$

Notando che la tensione di uscita $V_{out m} = V_{Cm}$ allora :

$$V_{Sm} = \frac{V_{out m}}{|A_V|} = \frac{2}{75.5} = 26.5 \text{ mV}$$

$$I_{Bm} = \frac{V_{Sm}}{h_{ie} + R_S} = \frac{26.5 \cdot 10^{-3}}{600 + 725} = 20 \text{ } \mu\text{A}$$

E il guadagno in corrente è :

$$|A_I| = \frac{I_{Cm}}{I_{Bm}} = \frac{4 \cdot 10^{-3}}{20 \cdot 10^{-6}} = 200$$

c) Determinare la potenza

- Potenza dell'alimentatore :

$$P_A = V_{CC}^0 \cdot (I_B^0 + I_C^0) = 10 \cdot (40 \cdot 10^{-6} + 8 \cdot 10^{-3}) = 8 \cdot 10^{-2} \text{ W}$$

- Potenza dissipata per effetto Joule su R_B :

$$P_{R_B} = R_B \cdot (I_B^0)^2 = 232.5 \cdot 10^3 \cdot (40 \cdot 10^{-6})^2 = 372 \text{ } \mu\text{W}$$

- Potenza sul transistor bipolare :

$$P_{BJT} \cong V_{BE}^0 \cdot I_B^0 + V_{CE}^0 \cdot I_C^0 \cong V_{CE}^0 \cdot I_C^0 = 6 \cdot 8 \cdot 10^{-3} = 48 \text{ mW}$$

↑

essendo V_{BE}^0 e I_B^0 piccole rispetto a V_{CE}^0 e I_C^0

Osservazione : nella formula in realtà , andrebbe inserito I_E^0 anzichè I_C^0 poichè V_{CE}^0 è percorso da una corrente I_E^0 ma essendo $I_E^0 \approx I_C^0$ consideriamo I_C^0 per semplicità.

- Potenza del generatore di segnale :

$$P_g = \frac{V_{sm}}{\sqrt{2}} \cdot \frac{I_{Bm}}{\sqrt{2}} = \frac{26.5 \cdot 10^{-3}}{\sqrt{2}} \cdot \frac{20 \cdot 10^{-6}}{\sqrt{2}} = 0.265 \text{ } \mu\text{W}$$

- Potenza sul carico :

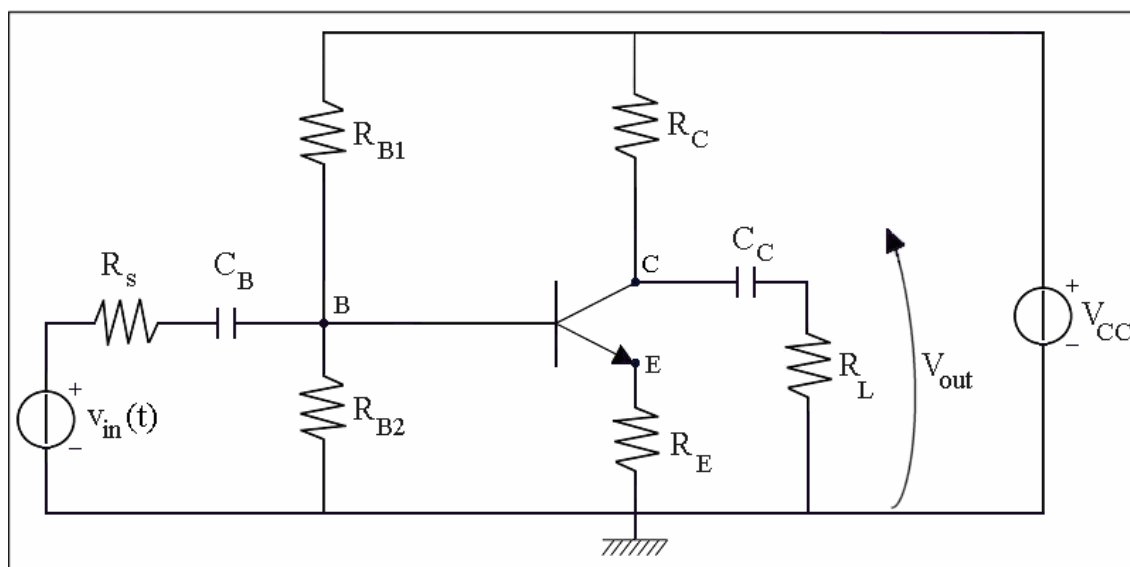
$$P_{out} = P_{R_L} = R_L \cdot (I_C^0)^2 = 500 \cdot (8 \cdot 10^{-3})^2 = 32 \text{ mW}$$

Si può notare che :

$$P_{R_B} + P_{BJT} + P_g + P_{out} = P_A$$

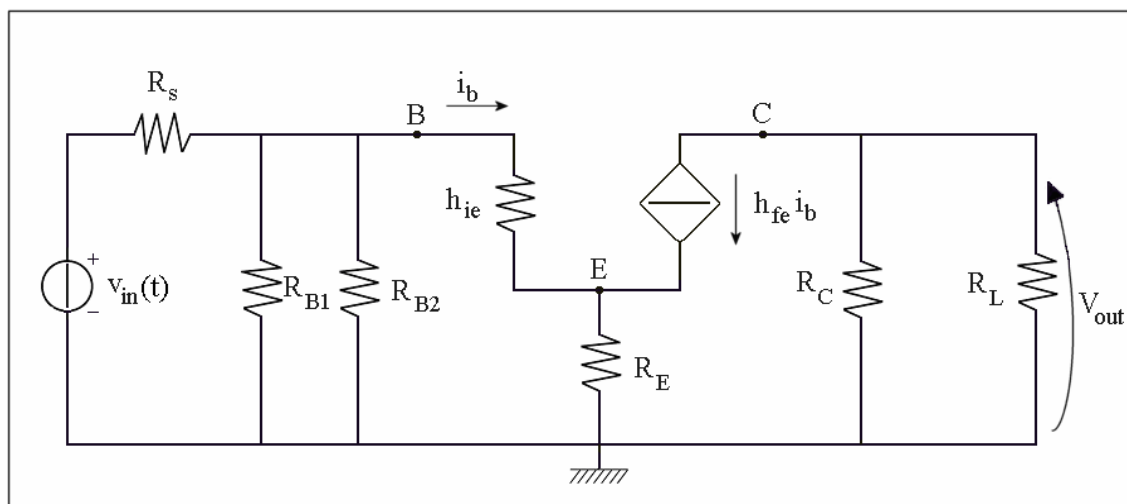
3.9 Caratterizzazione di uno stadio di amplificazione ai piccoli segnali.

Consideriamo un transistoro bipolare in **configurazione ad emettitore comune** e polarizzato con un circuito per cui I_C^0 e V_{CE}^0 siano indipendenti da β .



Consideriamo C_C e C_B tali per cui, ai piccoli segnali siano due cortocircuiti (ossia impedenze trascurabili) alla frequenza di lavoro $v_{in}(t)$.

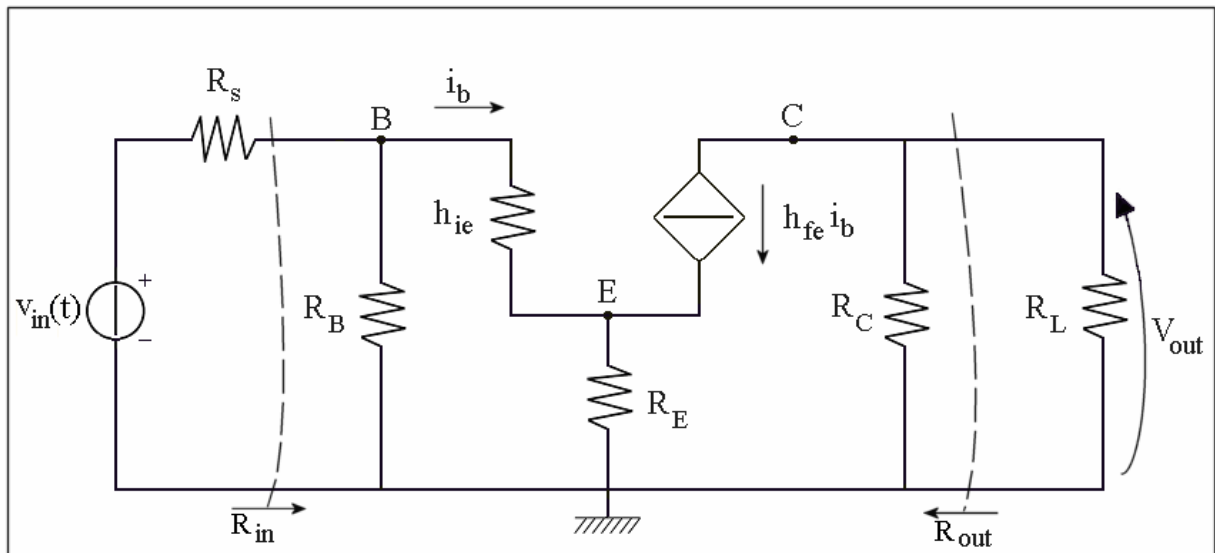
Il circuito ai piccoli segnali risulta, pertanto, il seguente:



Consideriamo ora un'unica resistenza di base R_B pari al parallelo di R_{B1} e R_{B2} :

$$R_B = R_{B1} // R_{B2}$$

Allora il circuito diventa:



I parametri che caratterizzano il circuito sono :

•) GUADAGNO IN TENSIONE : $A_v = \frac{V_{out}}{V_{in}}$

•) GUADAGNO IN CORRENTE : $A_I = \frac{I_{out}}{I_{in}}$ dove I_{out} è la corrente che circola in un cortocircuito dal carico

•) R_{in} : Impedenza (resistenza in questo caso)

•) R_{out} : Impedenza (resistenza in questo caso)

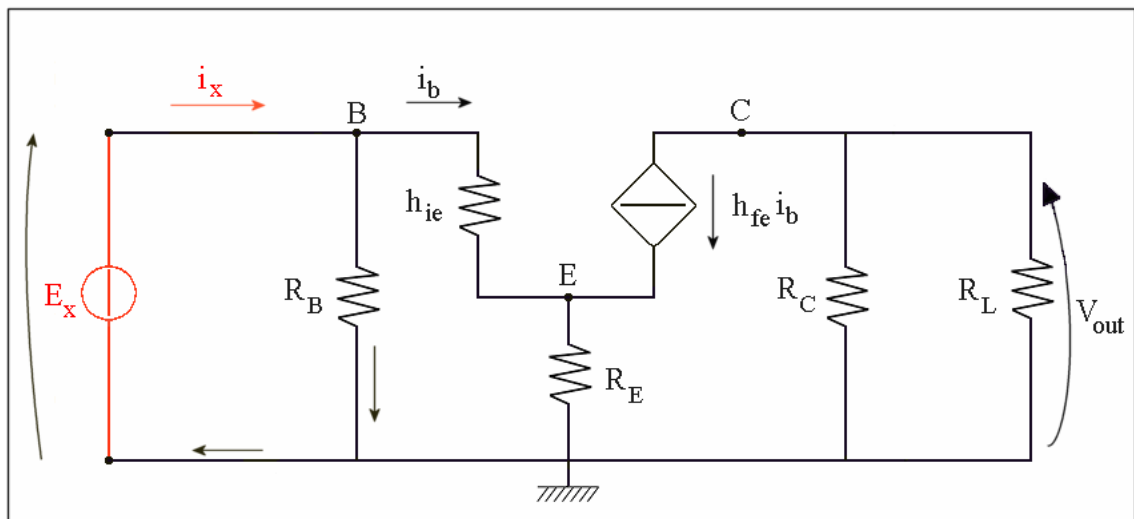
R_{in} e R_{out} servono per definire gli accoppiamenti dei vari stadi di amplificazione.

- CALCOLO DI R_{in}

Per calcolare R_{in} devo passivare tutti i generatori indipendenti , quindi passiviamo $v_{in}(t)$ ma non possiamo passivare il CCCS sul collettore.

L'unico modo per trovare R_{in} è quello di inserire un generatore di tensione costante E_x fra i due nodi tra cui si vuole calcolare l'impedenza e trovare , quindi , i_x in funzione di E_x , cioè :

$$R_{in} = \frac{E_x}{I_x}$$



Applicando la LKC nel nodo B risulta che :

$$i_x = \frac{E_x}{R_B} + i_b$$

i_b si calcola applicando la LKT nella maglia a sinistra del nodo E (escludendo R_B), cioè :

$$E_x - i_b h_{ie} - R_E \cdot (i_b + h_{fe} \cdot i_b) = 0$$

quindi :

$$i_b = \frac{E_x}{h_{ie} + (h_{fe} + 1) \cdot R_E}$$

Allora :

$$i_x = E_x \left(\frac{h_{ie} + R_B + R_E \cdot (h_{fe} + 1)}{R_B \cdot [h_{ie} + R_E \cdot (h_{fe} + 1)]} \right)$$

quindi :

$$R_{in} = \frac{R_B [h_{ie} + R_E \cdot (h_{fe} + 1)]}{R_B + h_{ie} + R_E \cdot (h_{fe} + 1)}$$

Il valore di R_{in} può essere approssimato sapendo che :

$$\begin{aligned} h_{fe} \gg 0 & \Rightarrow h_{fe} + 1 \approx h_{fe} \\ R_E \cdot h_{fe} \gg R_B + h_{ie} & \Rightarrow R_E \cdot h_{fe} + R_B + h_{ie} \approx R_E \cdot h_{fe} \end{aligned}$$

quindi :

$$R_{in} \approx \frac{R_B \cdot R_E \cdot h_{fe}}{R_E \cdot h_{fe}} = R_B$$

Da cui si deduce che l'impedenza in ingresso è data solo dalla RESISTENZA DI BASE R_B .

- CALCOLO DI A_V :

Consideriamo il caso in cui $R_s = 0$ ossia che non vi sia resistenza interna nel generatore di segnale .
Come nel caso precedente si trova che :

$$i_b = \frac{V_{in}}{h_{ie} + (h_{fe} + 1) \cdot R_E}$$

La tensione d'uscita sarà :

$$V_{out} = -h_{fe} \cdot i_b \cdot (R_C // R_L)$$

pertanto:

$$V_{out} = -h_{fe} \cdot \frac{v_{in}}{h_{ie} + R_E \cdot (h_{fe} + 1)} \cdot \frac{R_C \cdot R_L}{R_C + R_L}$$

quindi :

$$A_V = \frac{V_{out}}{V_{in}} = - \frac{h_{fe} \cdot R_C \cdot R_L}{[h_{ie} + R_E (h_{fe} + 1)] \cdot (R_C + R_L)}$$

ma sapendo che :

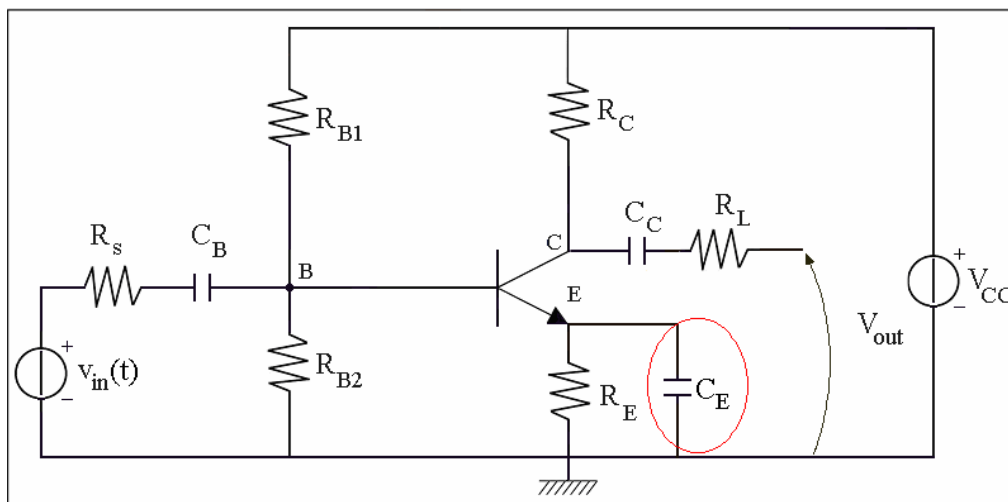
$$h_{fe} \gg 0 \quad \Rightarrow \quad h_{ie} + R_E \cdot (h_{fe} + 1) \cong R_E \cdot h_{fe}$$

si può scrivere che :

$$A_v = - \frac{R_C \cdot R_L}{R_E \cdot (R_C + R_L)}$$

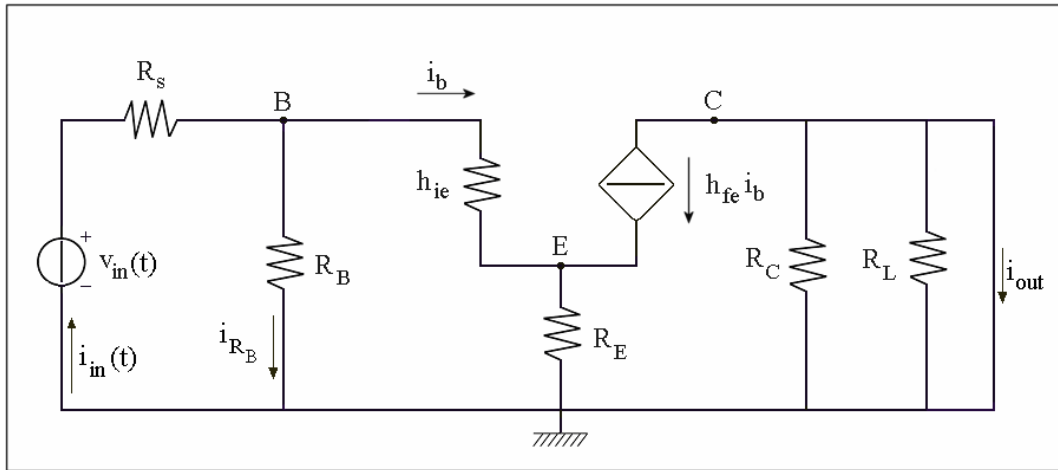
Un modo per aumentare A_V è quello di cortocircuitare l'emettitore ($R_E = 0$), tuttavia si è visto che ci serve $R_E \neq 0$ per poter far sì che il punto di lavoro sia indipendente da β . Allora, semplicemente, si pone un'ulteriore capacità C_E in parallelo con R_E , in modo che :

- nella zona di polarizzazione, la capacità equivalga ad a un circuito aperto e quindi $R = R_E$
- ai piccoli segnali se x_C è piccolo allora la capacità cortocircuita o quasi la resistenza R_E



- CALCOLO DI A_I :

Per calcolare $A_I = \frac{i_{out}}{i_{in}}$, devo cortocircuitare l'uscita nel seguente modo :



La LKC al nodo B è :

$$i_{in} = i_{R_B} + i_b$$

Considerando la maglia formata dalle resistenze R_B , h_{ie} e R_E si trova :

$$R_B \cdot i_{R_B} - h_{ie} \cdot i_b - (i_b + h_{fe} \cdot i_b) \cdot R_E = 0$$

$$\Rightarrow i_{R_B} = i_b \cdot \frac{h_{ie} + (1 + h_{fe}) \cdot R_E}{R_B}$$

Avendo cortocircuitato R_C e R_L si vede che :

$$i_{out} = -h_{fe} \cdot i_b \quad \Rightarrow \quad i_b = -\frac{i_{out}}{h_{fe}}$$

Allora :

$$i_{in} = -\left[1 + \frac{h_{ie} + (1 + h_{fe}) \cdot R_E}{R_B}\right] \cdot \frac{i_{out}}{h_{fe}}$$

Quindi :

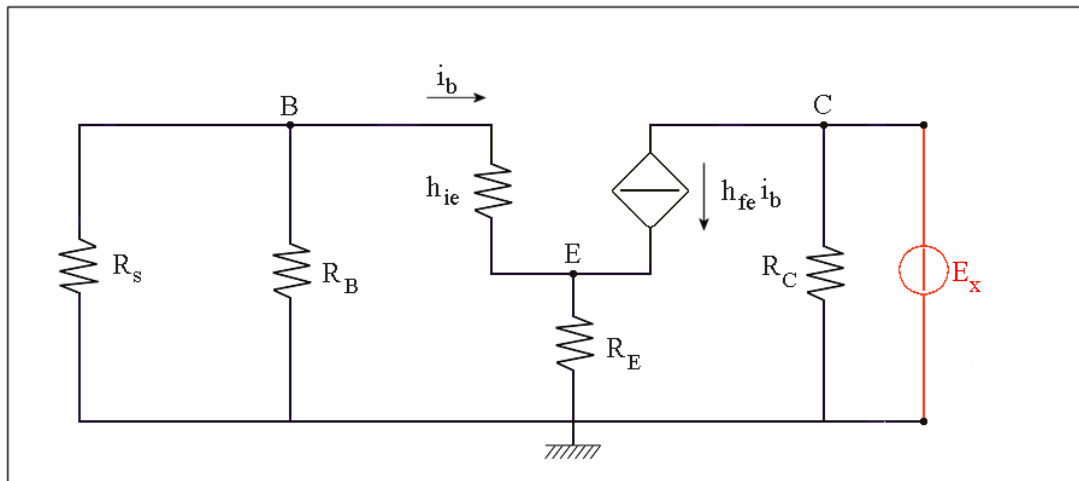
$$A_I = \frac{i_{out}}{i_{in}} = -\frac{R_B \cdot h_{fe}}{R_B + h_{ie} + (1 + h_{fe}) \cdot R_E} \approx -\frac{R_B}{R_E}$$

sapendo che $h_{fe} \gg 0$.

Il guadagno è circa unitario poiché R_B e R_E sono dello stesso ordine di grandezza. Tuttavia se si pone in parallelo con R_E il condensatore C_E allora $R_E \rightarrow 0$ e A_I assume un valore molto alto.

- CALCOLO DI R_{out} :

Passivando i generatori indipendenti e introducendo un generatore di tensione costante in cui scorre una corrente i_x , si ottiene :



Applicando la LKC al nodo C si trova :

$$i_x = \frac{E_x}{R_C} + h_{fe} \cdot i_b$$

e il valore di i_b si ottiene applicando la LKT alla maglia formata dalle resistenze R_B , h_{ie} e R_E :

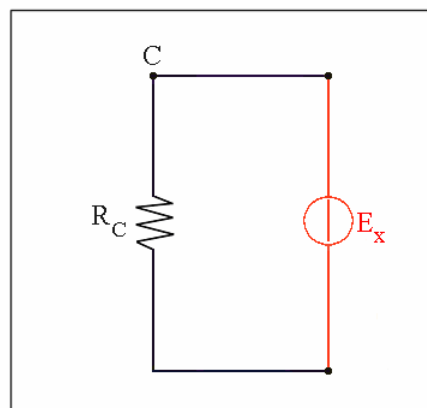
$$(R_B // R_s) \cdot i_b + h_{ie} \cdot i_b + R_E \cdot i_b \cdot (1 + h_{fe}) = 0$$

$$\Rightarrow i_b \cdot [(R_B // R_s) + h_{ie} + R_E \cdot (1 + h_{fe})] = 0$$

Il termine in parentesi quadra è sempre positivo, dato che è somma di termini positivi, quindi perché sia verificata l'espressione si ha :

$$i_b = 0$$

Di conseguenza il circuito è modificato nel seguente modo :



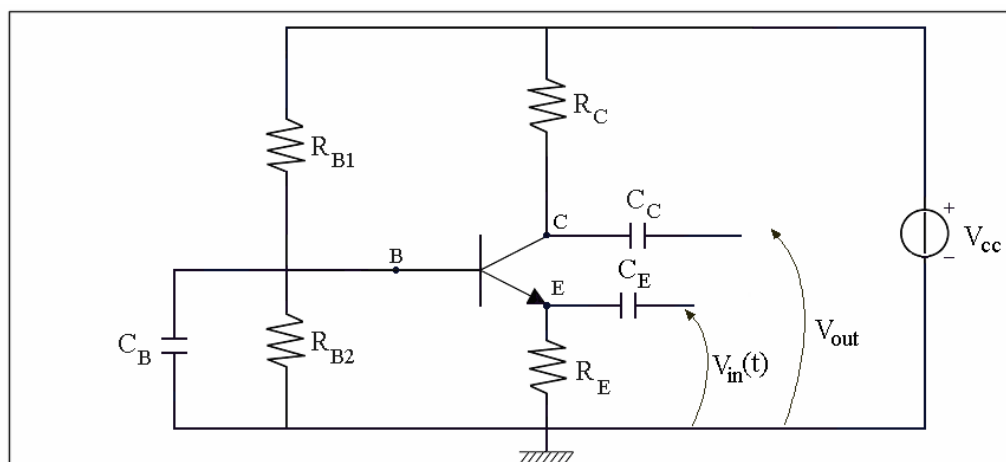
Quindi :

$$R_{out} = R_C$$

3.10 Configurazione a base ed emettitore comune di uno stadio di amplificazione .

- CONFIGURAZIONE A BASE COMUNE.

In questa configurazione si collega alla massa il condensatore C_B , l'ingresso è sull'emettitore e l'uscita sul collettore :



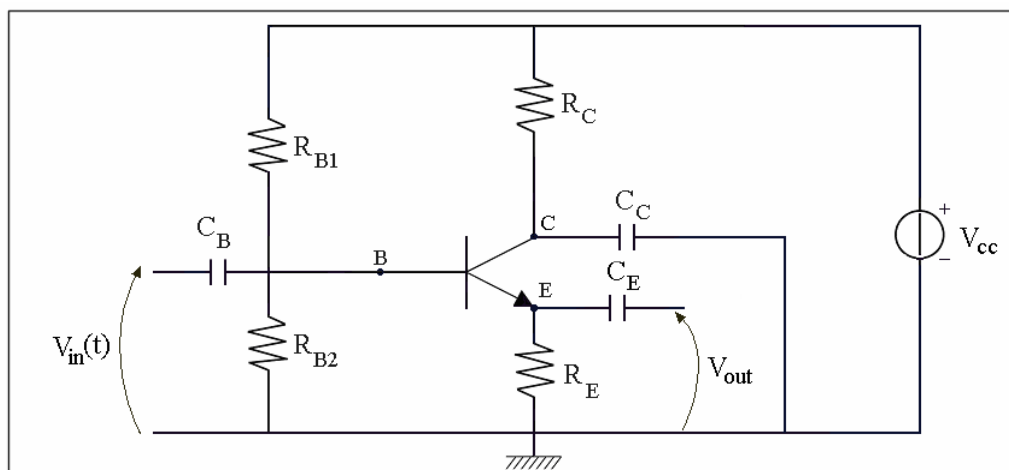
Con calcoli analoghi al paragrafo precedente si trova che :

$$A_V \approx 1$$

Quindi dato che l'amplificazione è unitaria o quasi si nota che non sfasa l'onda .

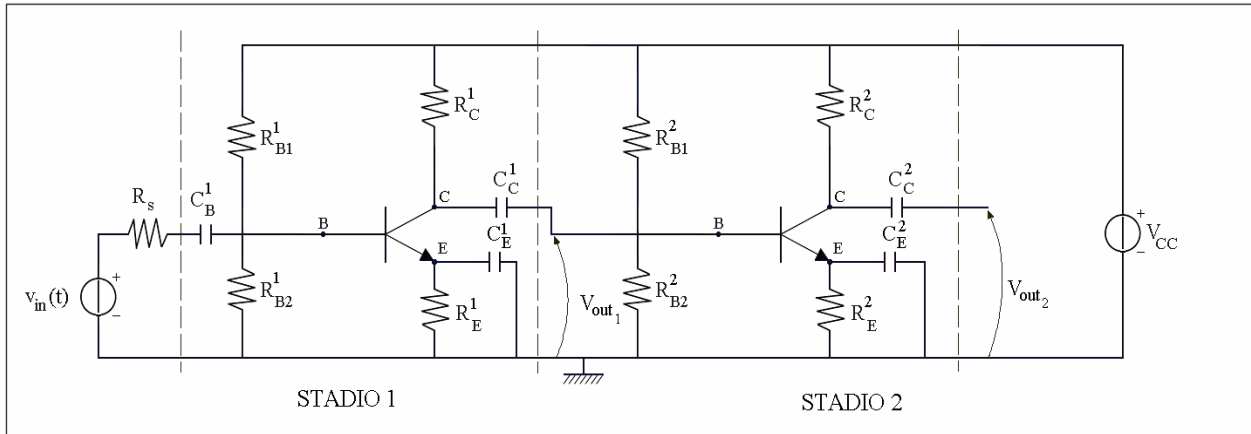
- CONFIGURAZIONE A EMETTITORE COMUNE.

E' duale alla precedente ma si collega alla massa il condensatore C_C , l'ingresso è sulla base e l'uscita sull'emettitore :



Per quanto riguarda A_V , valgono le stesse considerazioni fatte per il caso precedente.

Spesso non vi è un unico stadio di amplificazione ma più stadi in cascata, come ad esempio :



Essendo sistemi linearizzati nel punto di lavoro, la funzione di trasferimento dei due stadi è il prodotto delle singole funzioni di trasferimento, pertanto :

$$A_{V_f} = A_{V_1} \cdot A_{V_2}$$

Questo discorso è valido per la tensione ma non per la corrente poiché A_I si calcola sulla corrente di cortocircuito.

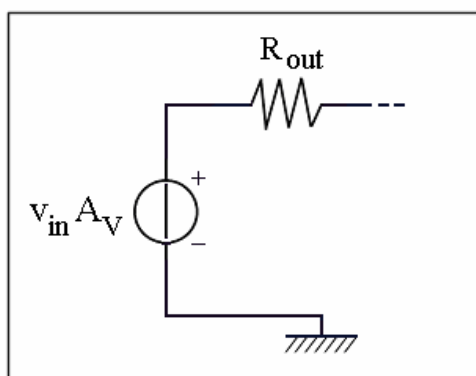
3.11 Confronto tra le varie configurazioni del transistor bipolare.

	CE	CE con $R_E=170\ \Omega$	CB	CC
$R_{in}\ [k\Omega]$	3 media	15 alta	0.01 bassa	100 alta
$R_{out}\ [k\Omega]$	10 alta	10 alta	10 alta	0.01 bassa
$A_V\ \left[\frac{V}{V}\right]$	-40 alta	-15 alta	0.5 alta	< 1
$A_I\ \left[\frac{A}{A}\right]$	-50 alta	-40 alta	< 1	10 ÷ 100 alta

Nota : $I_C = 0.84\text{ mA}$, $R_S = R_C = 10\text{ k}\Omega$

Lo stadio con R_{in} più bassa è il CB mentre R_{out} è alta sia per CB che per CE ma è molto bassa per CC.

Pertanto la configurazione a collettore comune è praticamente assimilabile ad un generatore ideale di tensione . Infatti il circuito ai piccoli segnali è lineare e può essere approssimato con Thevenin nel seguente modo :



Se R_{out} fosse piccola allora potrebbe essere considerata quasi un cortocircuito e quindi rimarrebbe solo il generatore che quindi non sarebbe ideale ma pilotato (VCVS).

Spesso si sfrutta tale caratteristica per avere in uscita una R_{out} molto piccola e quindi :

- per avere A_V elevato si mettono più stadi a emettitore comune in cascata e uno finale a collettore comune il cui scopo è quello di ridurre R_{out} .
- per avere A_I elevato si mettono in cascata stadi a emettitore comune e base comune e uno finale a collettore comune con lo scopo di ridurre R_{out} .

Capitolo 4

Risposta in frequenza di stadi amplificatori

Si richiamano i concetti base dell'analisi di Fourier.

Come visto, i circuiti hanno un comportamento dipendente soprattutto dalla frequenza a cui stanno lavorando; l'analisi di Fourier ci consente di passare dal dominio del tempo a quello delle frequenze permettendo quindi una soluzione del circuito più veloce..

4.1 Serie di Fourier

La serie di Fourier garantisce che un qualsiasi segnale periodico reale è esprimibile come somma infinita di seni e coseni a frequenze multiple di una frequenza fondamentale, ponderata da opportuni coefficienti.

$$f(t) = a_0 + \sum_{n=1}^{\infty} a_n \cdot \cos(n \cdot \omega_0 \cdot t) + b_n \cdot \sin(n \cdot \omega_0 \cdot t)$$

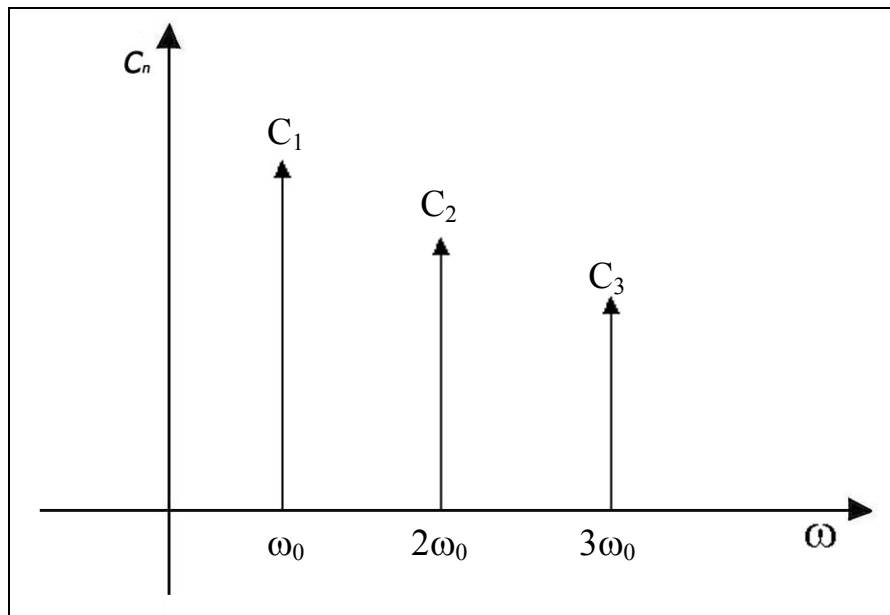
con $\omega_0 = \frac{2\pi}{T} = 2\pi f$
 $n\omega_0$ le armoniche.

La serie di Fourier si può anche rappresentare nel seguente modo

$$f(t) = a_0 + \sum_{n=1}^{\infty} C_n \cdot \sin(\omega_0 \cdot n \cdot t) + \varphi_n$$

Dove C_n è un numero complesso.

Conoscendo dunque C_n e φ_n oppure a_n e b_n si conosce effettivamente la funzione $f(t)$, pertanto il grafico in frequenza di una forma d'onda periodica rappresenterà C_n e φ_n in funzione di ω_0 .



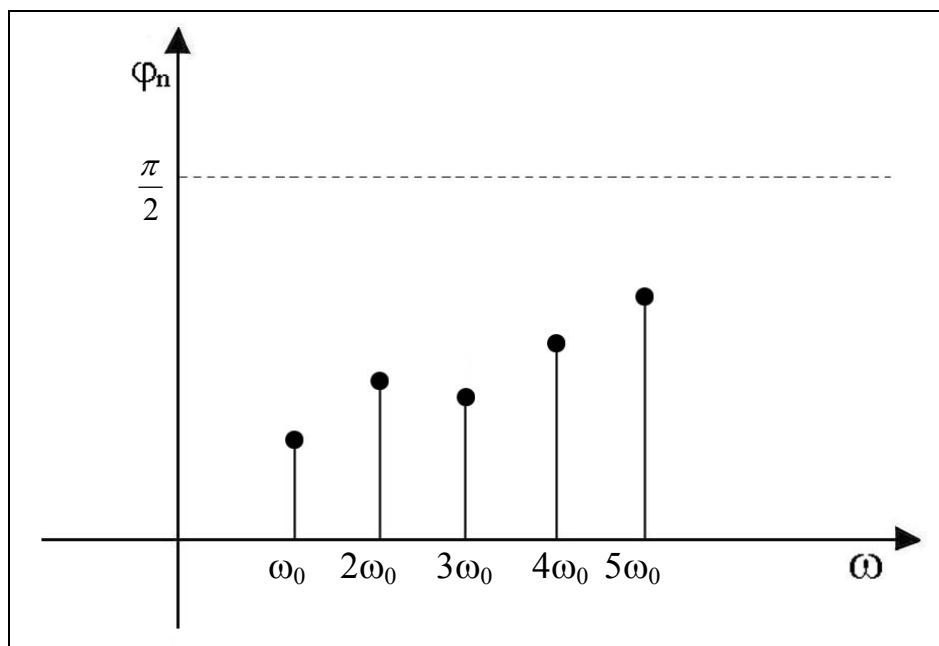
Il grafico di C_n è sempre decrescente, si può dimostrare che $\lim_{n \rightarrow \infty} C_n = 0$

Pertanto i C_n sono alle frequenze più basse.

Si ricorda che

- f = frequenza
- C_1, C_2, C_3, C_4 sono a frequenza multipla di f_0 : $C_1 = C(n=1)$ a f_0 ; $C_2 = C(n=2)$ a $2f_0$.

Graficando φ_n in funzione di ω si ottiene anche in questo caso un grafico discreto



Le φ_n tendono a crescere aumentando n e tendono a $\frac{\pi}{2}$

$$\lim_{n \rightarrow \infty} \varphi_n = \frac{\pi}{2}$$

La potenza media del segnale nel periodo T_0 è

$$P = \frac{1}{T_0} \int_{T_0} |v(t)|^2 dt$$

4.2 Trasformata di Fourier

Nel caso di segnali non periodici non si parla più di serie di Fourier, ma di integrale o *trasformata di Fourier*. Le sommatorie precedenti diventano integrali.

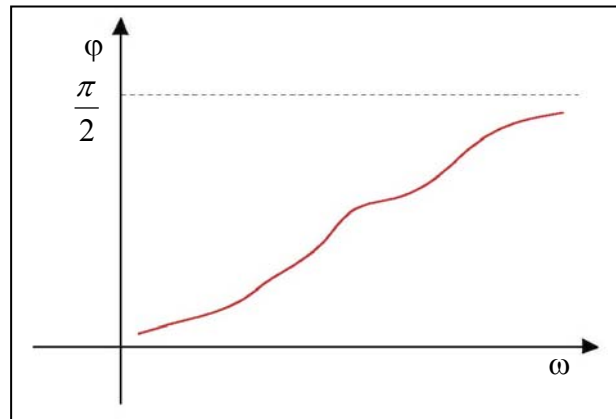
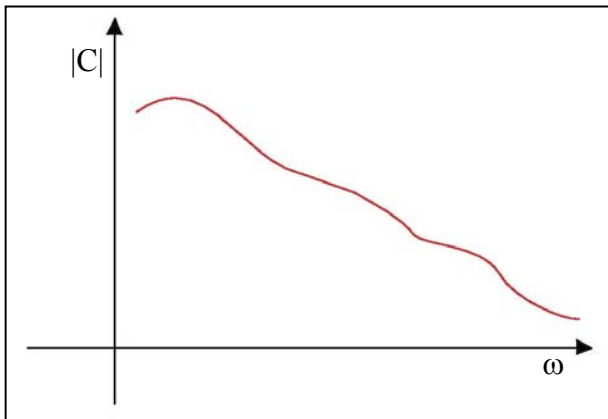
Non si avranno più valori C_n e φ_n che caratterizzavano il segnale a frequenza multipla di ω_0 , ma si avrà una variabile complessa C .

La trasformata di Fourier fa passare dal dominio del tempo al dominio delle frequenze.

E' possibile graficare:

- Il $|C|$ in funzione di ω , ottenendo un grafico rappresentante lo spettro di potenza del segnale.
Il $|C|$ è legato alla potenza alle varie frequenze ω , più precisamente $|C| = f(\omega)$.
- La fase di C in funzione di ω in cui si valuta la distorsione del segnale come nel caso di φ_n .

I due grafici sono continui e non più discreti, pertanto il segnale avrà componenti a tutte le frequenze reali.



Nel caso di amplificatori di segnali si preferisce lavorare nel dominio di ω , cioè delle frequenze anziché nel dominio del tempo. Definite statisticamente le caratteristiche del segnale da amplificare occorre costruire o scegliere amplificatori che lavorino al meglio nello spettro di frequenze del segnale desiderato.

Per un segnale non periodico non si parla più di potenza ma di energia

$$E \approx \int |v(t)|^2 dt$$

4.3 Trasformata di Laplace e funzioni di trasferimento

Al fine di conoscere lo spettro di frequenze a cui lavora il segnale, occorre conoscere le caratteristiche dell'amplificatore al variare di ω ed esprimere la funzione di trasferimento A_V in funzione di ω .

Se il sistema è lineare, ossia l'amplificatore è lineare, la funzione di trasferimento si ottiene risolvendo il circuito ai piccoli segnali.

Nella risoluzione ci si trova di fronte a equazioni differenziali lineari a coefficienti costanti e reali.

Una metodologia semplice è quella di risolvere tali sistemi di equazioni differenziali con Laplace poiché la trasformata di Fourier non è altro che un caso particolare di quella di Laplace in cui S è un numero immaginario puro $S = j \cdot \omega$.

Pertanto se si considera $A_V(S) = \frac{V_{out}(S)}{V_{in}(S)}$ ne consegue che considerando $S = j \cdot \omega$

$$\text{allora } A_V(j\omega) = \frac{V_{out}(j\omega)}{V_{in}(j\omega)}$$

Conoscendo la trasformata di Laplace di A_V si ottiene subito la risposta del dispositivo $A_V(j\omega)$.

Quindi se ho la trasformata di Fourier di A_V e V_{in} si può ricavare la trasformata di Fourier di V_{out} :

$$V_{out}(j\omega) = A_V(j\omega) \cdot V_{in} \cdot V_{in}(j\omega)$$

Per caratterizzare V_{out} si deve esprimere modulo e fase in funzione di ω .

Il modulo e la fase di V_{out} saranno funzione del modulo e della fase di A_V e V_{in}

$$|V_{out}| = |A_V| \cdot |V_{in}|$$

$$\angle V_{out} = \angle A_V + \angle V_{in}$$

Conoscendo dunque modulo e fase di V_{in} , dato dal problema, occorre conoscere solo modulo e fase di A_V in funzione di ω .

4.4 Diagrammi di Bode

I diagrammi di Bode si usano per disegnare i grafici del modulo e della fase della risposta in frequenza in modo semplificativo.

Operativamente ci si riferisce al seguente rapporto tra polinomi, uno di grado “n” e l’altro di grado “m”, che equivale alla trasformata di Fourier della funzione di trasferimento di un sistema lineare

$$T(S) = K \cdot \frac{1 + a_1 S + a_2 S^2 + \dots + a_n S^n}{1 + b_1 S + b_2 S^2 + \dots + b_m S^m}$$

Con

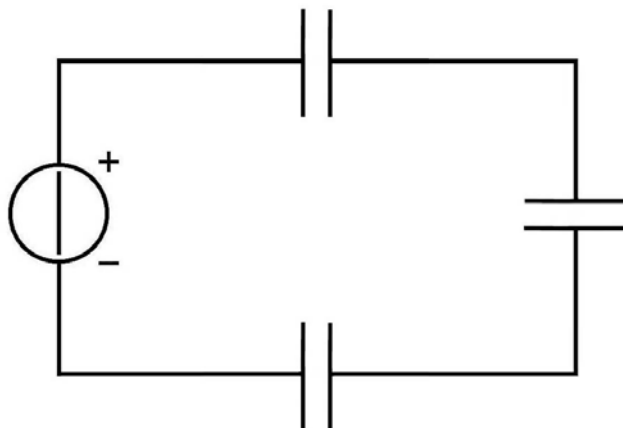
- a_i, b_j numeri reali
- $K \geq 1$

Le radici del polinomio a numeratore sono dette *zeri*,
Le radici del polinomio a denominatore sono dette *poli*.

NOTA: Se si ha un circuito con solo generatori, resistenze, induttanze o capacità, il numero di poli rappresenta il numero di capacità del circuito più le induttanze indipendenti, per capacità e induttanze indipendenti si intende il fatto di non avere maglie CE o rami LA:

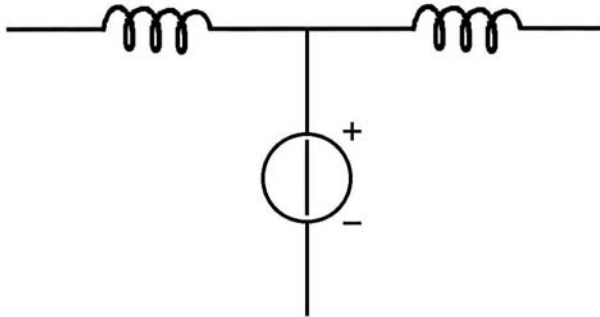
MAGLIA “CE”

*E’ costituita da un generatore indipendente di tensione e da tutte le capacità.
Le capacità sono correlate dalla LKT, pertanto in questo caso il numero di capacità sarà pari al numero di poli meno uno.*



RAMI "LA"

Un esempio è il seguente: applicando la LKC al nodo 1 si ricava una legge che lega le due induttanze che non sono quindi più linearmente indipendenti



Le radici possono essere

- reali
- complesse coniugate
- immaginarie (e coniugate)

Indicando ora con $Z_1, \dots, Z_n$ gli zeri e $p_1, \dots, p_m$ i poli si può scrivere

$$T(S) = K_1 \cdot \frac{\left(1 + \frac{S}{Z_1}\right) \cdot \dots \cdot \left(1 + \frac{S}{Z_n}\right)}{\left(1 + \frac{S}{P_1}\right) \cdot \dots \cdot \left(1 + \frac{S}{P_m}\right)}$$

Si disegnerà ora il grafico del modulo e la fase della risposta in frequenza.

Il sistema così sarà un filtro o un amplificatore: $|T(j\omega)| < T(j\omega)$

Sul grafico verrà usata la scala logaritmica

$$20 \log |T(j\omega)| = 20 \log_{10} K_1 + \sum_{i=1}^n 20 \log_{10} \left| 1 + \frac{j\omega}{Z_i} \right| - \sum_{j=1}^m 20 \log_{10} \left| 1 + \frac{j\omega}{P_j} \right|$$

$20 \log_{10}$ significa calcolare la scala in DECIBEL (dB).

Per Bode si ha

– MODULO

$$|T(j\omega)|_{dB} = K_1 + \sum_{i=1}^n \left| 1 + \frac{j\omega}{Z_i} \right|_{dB} - \sum_{j=1}^m \left| 1 + \frac{j\omega}{p_j} \right|_{dB}$$

– FASE

$$\angle T(j\omega) = \angle K_1 + \sum_{i=1}^n \angle \left(1 + \frac{j\omega}{Z_i} \right) - \sum_{j=1}^m \angle \left(1 + \frac{j\omega}{p_j} \right)$$

L'ascissa del diagramma di Bode è uguale per entrambi i grafici e vale: $\log_{10} \omega$

L'ordinata vale, nel primo caso

$$|T(j\omega)|_{dB}$$

e nel secondo

$$\angle T(j\omega)$$

Quindi si può eseguire l'analisi in frequenza di Fourier, ossia graficare modulo e fase di $T(j\omega)$ al variare di ω . Questi diagrammi sono detti diagrammi di Bode.

Diagramma del modulo

E' un diagramma bilogarithmico in cui si rappresentano i dB della funzione di trasferimento in funzione del logarithmico di ω .

$$|T(j\omega)| \rightarrow (\log_{10}, 20 \log_{10} |T(j\omega)|)$$

Si usa il diagramma bilogarithmico perché i valori ω e $|T(j\omega)|$ possono essere molto grandi e molto piccoli per cui con questo tipo di diagrammi si riesce ad ovviare al problema.

Praticamente è sufficiente studiare questo diagramma per ogni polo e per ogni zero e poi sommarli.

Diagramma della fase

E' un diagramma semilogaritmico in cui si rappresenta la fase in funzione di $\log_{10}\omega$

$$\angle T(j\omega) \rightarrow (\log_{10}, \angle T(j\omega))$$

Essendo la fase compresa fra $[0, 2\pi]$ si può usare la scala lineare.

Anche per la fase si determina il diagramma per ogni polo e per ogni zero e li si sommano o sottraggono.

Diagramma di Bode per uno zero reale negativo

Sia

$$T_1(j\omega) = 1 + \frac{j\omega}{\omega_z}$$

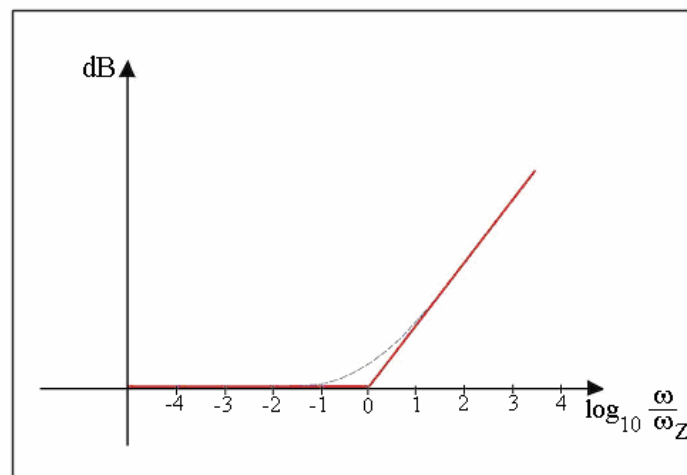
per cui ne consegue che :

$$|T_1(j\omega)|_{dB} = 20 \log_{10} \cdot \sqrt{1 + \frac{\omega^2}{\omega_z^2}}$$

il diagramma di Bode è un diagramma asintotico, quindi vengono rappresentati solo gli asintoti

- per $\omega \ll \omega_z \quad \Rightarrow \quad |T_1(j\omega)|_{dB} \cong 20 \log_{10} (\sqrt{1}) = 0$
- per $\omega = \omega_z \quad \Rightarrow \quad |T_1(j\omega)|_{dB} \cong 20 \log_{10} (\sqrt{2}) \cong 3 \text{ dB}$
- per $\omega \gg \omega_z \quad \Rightarrow \quad |T_1(j\omega)|_{dB} \cong 20 \log \left(\frac{\omega}{\omega_z} \right)$

Graficando quindi in scala bilogaritmica:



Si disegnano due grafici asintotici

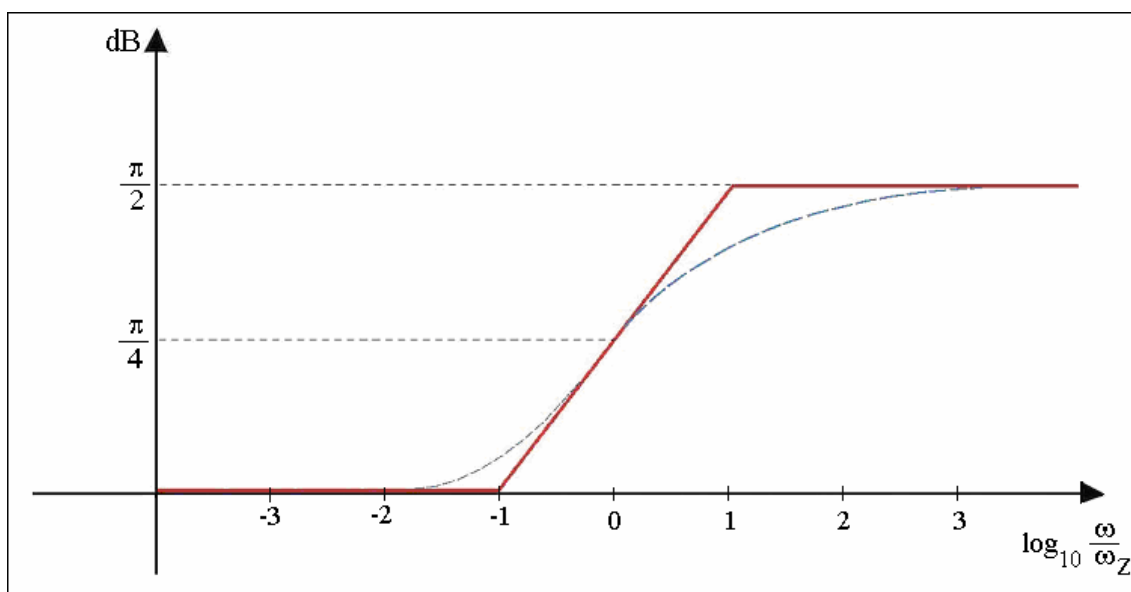
- se $\omega \ll \omega_Z \Rightarrow | | \cong 1 \Rightarrow 0 \text{ dB}$, si prolunga la retta fino al valore di ω_Z
- se $\omega \gg \omega_Z \Rightarrow 20 \log_{10} \left(\frac{\omega}{\omega_Z} \right)$ è una retta passante per l'origine.

Il modulo aumenta di 20 decibel ogni volta che si moltiplica per 10 (una decade) la ω . Per questo si dice che la pendenza della retta è 20 dB su decade.

Essendo un grafico asintotico presenta un errore di approssimazione.

Nel grafico il massimo errore si ha per $\omega_Z = \omega \Rightarrow \cong 3 \text{ dB}$ ($= 20 \log_{10} \sqrt{2}$).

Si analizza ora il grafico della fase :



- per $\omega \ll \omega_Z \Rightarrow \arctg 0 = 0$
- per $\omega \gg \omega_Z \Rightarrow \arctg \infty = \pi / 2$
- per $\omega = \omega_Z \Rightarrow \arctg 1 = \frac{\pi}{4}$

Anche per questo grafico si riscontra un errore di approssimazione: quello massimo è circa 6 gradi e si ha in corrispondenza di $\omega = 10 \omega_Z$ e di $\omega = 0,1 \omega_Z$.

4.5 Filtri passivi

La funzione di trasferimento di un circuito lineare è la seguente:

$$T(S) = K \cdot \frac{1 + a_1 S + a_2 S^2 + \dots + a_n S^n}{1 + b_1 S + b_2 S^2 + \dots + b_m S^m}$$

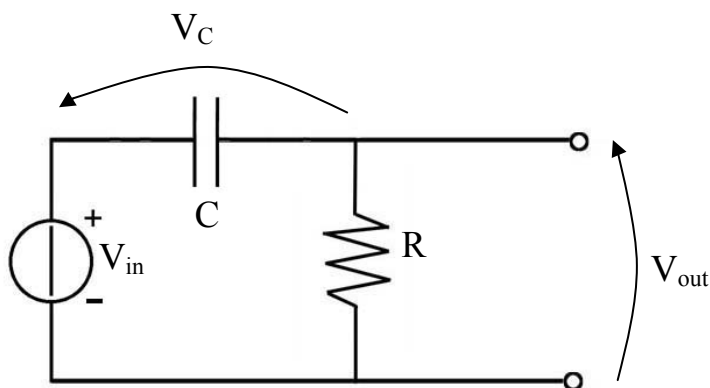
Dove il termine K è il *guadagno* ed il circuito è detto *filtro*.

I filtri possono essere di due tipi:

1. FILTRI ATTIVI $\Rightarrow k > 1$
2. FILTRI PASSIVI $\Rightarrow k = 1$

Filtro passivo passa alto

Si consideri il seguente circuito



K vale 1 perché è un filtro passivo, cioè al massimo la funzione di trasferimento è pari all'unità.

L'ingresso V_{in} si può rappresentare come un generatore indipendente

Si vuole trovare

$$T(S) = \frac{V_{out}(S)}{V_{in}(S)}$$

Si scrive la KCL al nodo di uscita e la KVL

$$I_C - I_R = 0$$

$$I_C = C \cdot \frac{dV_C}{dt}$$

$$V_C = V_{in} - V_{out}$$

$$I_R = \frac{V_{out}}{R}$$

Si trova un'equazione differenziale, risolvendola si ottiene la risposta nel tempo. Però se si vuole determinare la funzione di trasferimento da cui si determina la risposta in frequenza

$$I = C \cdot \frac{dV}{dt}$$

è necessario applicare Laplace a destra e a sinistra e si ottiene:

$$\ell \left[\frac{dV_C(t)}{dt} \right] = C \cdot \ell \left(\frac{dV(t)}{dt} \right)$$

$$\frac{V_C(S)}{I_C(S)} = Z(S) = \frac{i}{S \cdot C} \quad \text{L'impedenza rappresenta il condensatore}$$

Considerando il diagramma di Bode per $Z(S)$ quando $S = j\omega$ si ha :

$$Z_C(j\omega) = \frac{1}{j \cdot \omega \cdot C}$$

che è la risposta in frequenza che può essere espressa anche in decibel, per cui risulta :

$$|Z(j\omega)|_{dB} = -20 \log \omega \cdot C$$

rappresentante una retta con pendenza 20 dB a decade e

$$|Z(j\omega)|_{dB} = 0 \quad \text{se} \quad \omega = \frac{1}{C}$$

La fase invece risulta essere

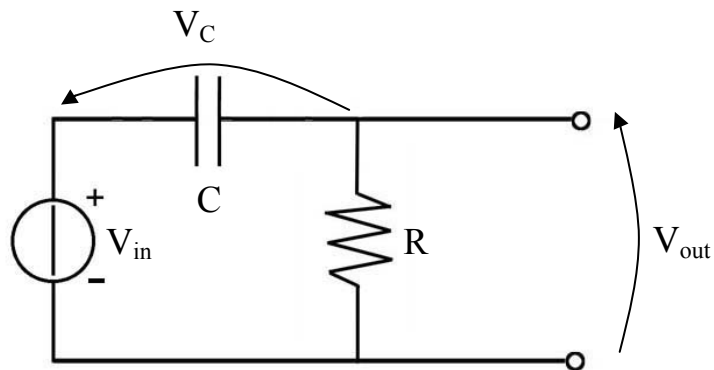
$$\angle T(j\omega) = -\frac{\pi}{2}$$

Il condensatore pertanto sfasa la corrente di $\pi / 2$ in anticipo rispetto a V, in particolare se:

se ω è piccola $\Rightarrow 20 \log_{10} |T| \rightarrow +\infty \Rightarrow T \rightarrow +\infty \quad \Rightarrow$ è come un circuito aperto

se ω è grande $\Rightarrow 20 \log_{10} |T| \rightarrow -\infty \Rightarrow T \rightarrow 0 \quad \Rightarrow$ è come un cortocircuito

Ritornando al filtro passivo precedente



e' possibile trovare $V_{out}(S)$ in funzione di $V_{in}(S)$ con la formula del partitore di tensione

$$V_{out}(S) = \frac{R}{R + \frac{1}{SC}} \cdot V_{in}(S)$$

da cui :

$$\Rightarrow T(S) = \frac{R}{R + \frac{1}{SC}} = \frac{S \cdot C \cdot R}{S \cdot C \cdot R + 1}$$

Chiamando ora

– $\tau = RC$ *costante di tempo del circuito*

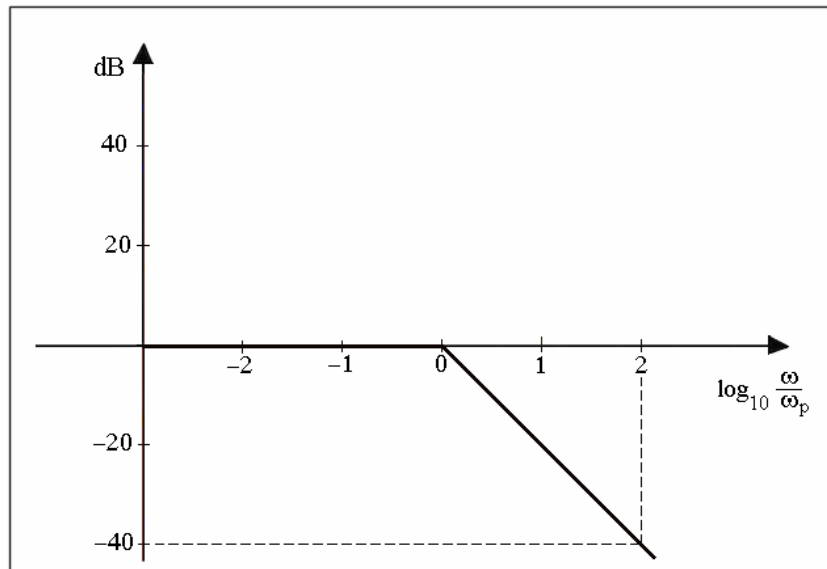
– $\omega_p = \frac{1}{RC} = \frac{1}{\tau}$ *frequenza caratteristica del circuito*

si ottiene :

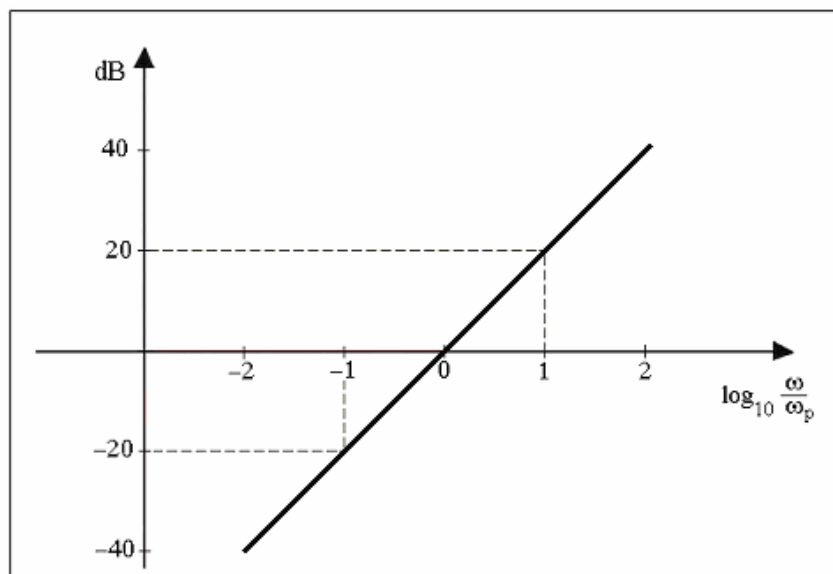
$$T(S) = T_1(S) \cdot T_2(S) = \frac{\frac{S}{\omega_p}}{1 + \frac{S}{\omega_p}}$$

Il diagramma di Bode per $S = j\omega$ risulta essere :

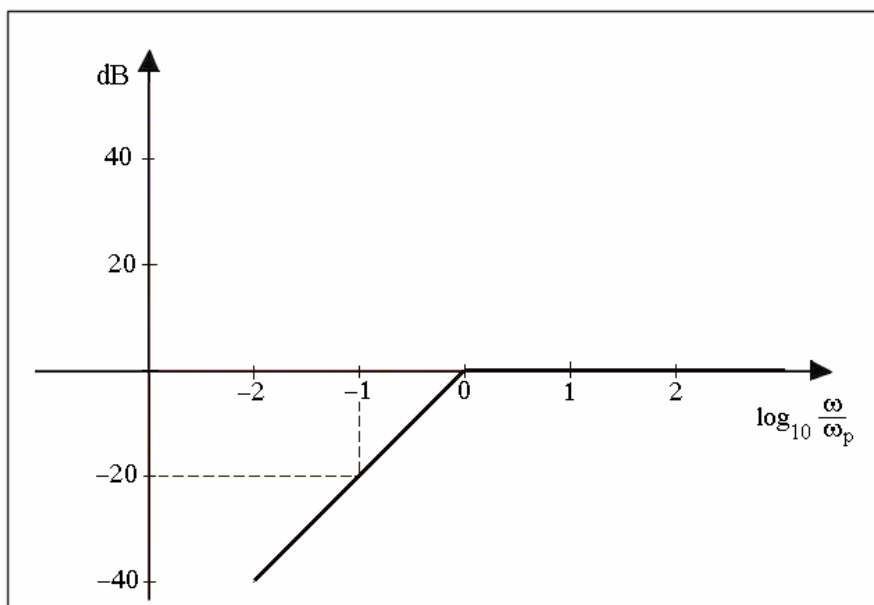
- $T_1(S) = \frac{1}{1 + \frac{S}{\omega_p}}$:



- $T_2(S) = \frac{S}{\omega_p}$:

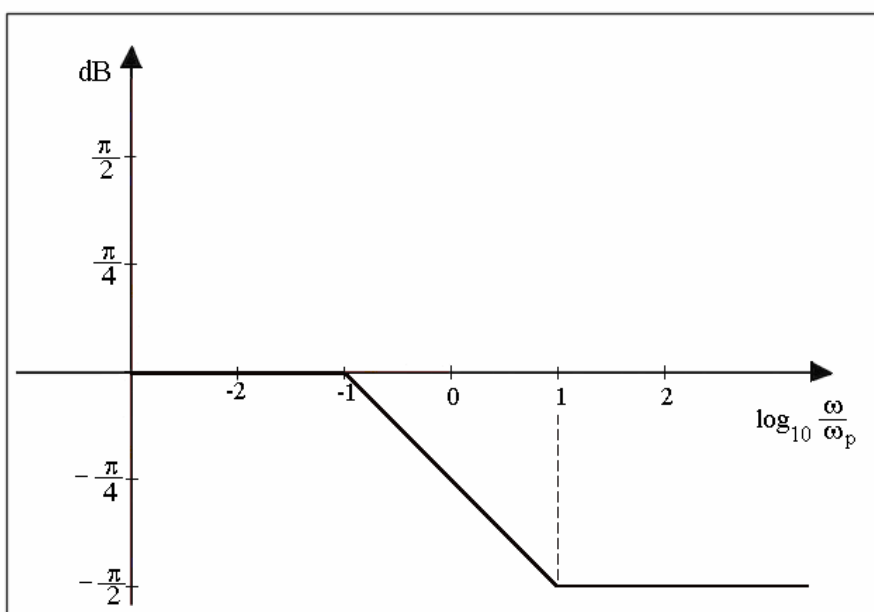


Quindi sommando i due diagrammi si ottiene :

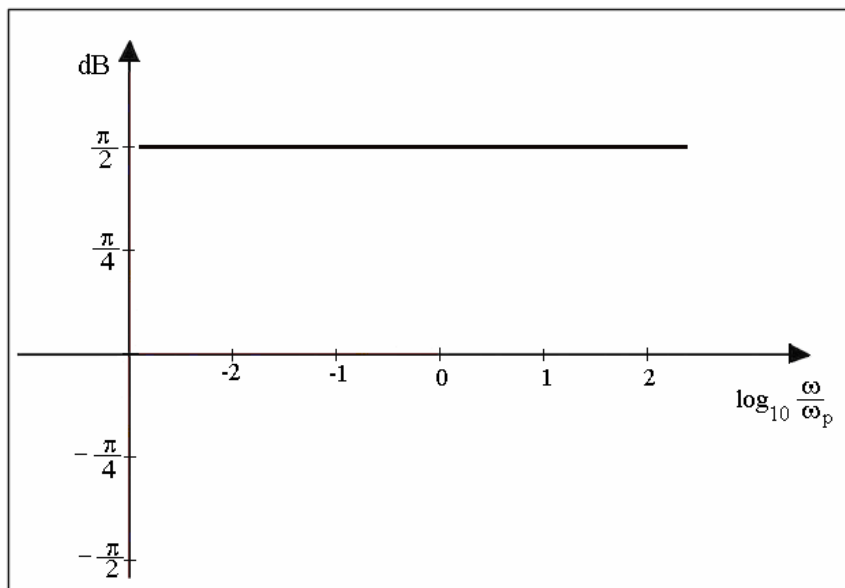


I diagrammi di Bode per la fase sono :

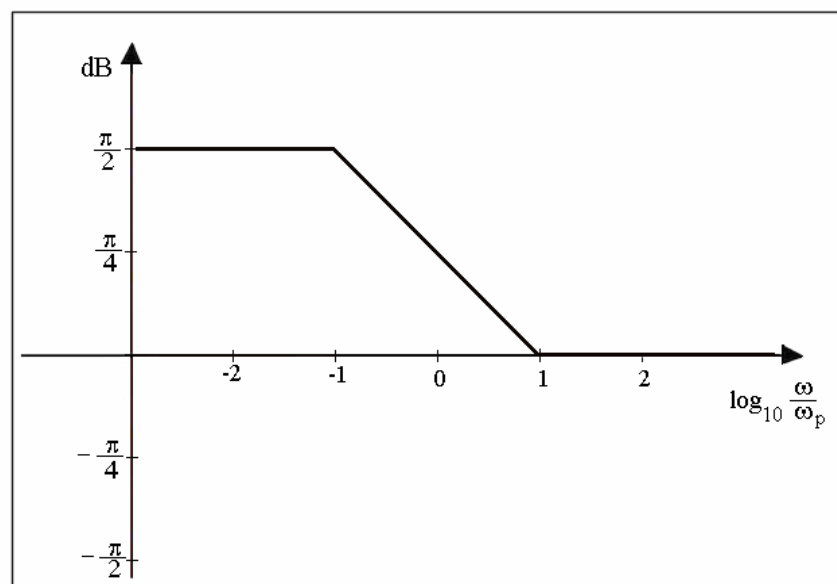
- $T_1(S) = \frac{1}{1 + \frac{S}{\omega_p}}$:



- $T_2(S) = \frac{S}{\omega_p}$:



Quindi sommando i due diagrammi precedenti si ottiene :



Come si nota il circuito è un filtro passivo passa alto con $K = 1$ (guadagno unitario).

– Se $\omega < \omega_p$: $\log_{10} |T| \rightarrow -\infty \Rightarrow |T| \rightarrow 0$

Quindi, essendo $|V_{out}| = |T| \cdot |V_{in}| \Rightarrow |V_{out}| = 0$

Per frequenze minori di ω_p il filtro taglia il segnale e non lo fa passare.

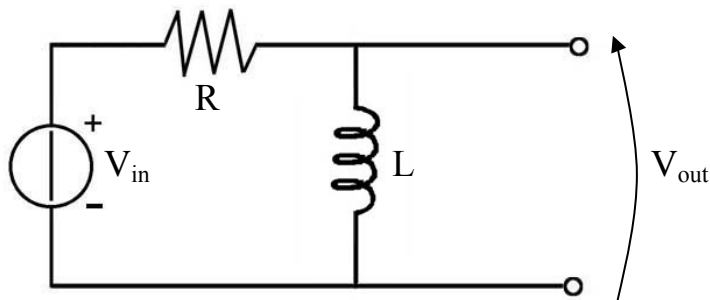
– Se $\omega > \omega_p$: $\log_{10} |T| = 0 \Rightarrow |T| \rightarrow 1$

Quindi $|V_{out}| = |V_{in}|$

Il filtro fa passare le frequenze del segnale più elevate di ω_p .

ω_p è detta *frequenza di taglio* e il filtro è detto *passa alto* perché fa passare solo le frequenze maggiori di ω_p .

Un circuito che rappresenta un passa alto è anche il seguente



L'impedenza complessa dell'induttanza risulta essere

$$V(t) = L \cdot \frac{di(t)}{dt}$$

e applicando Laplace

$$\ell(V(t)) = V(S) = SL \cdot I(S) \Rightarrow Z(S) = \frac{V(S)}{I(S)} = SL$$

Per cui la funzione di trasferimento risulta

$$T(S) = \frac{SL}{R + SL} = \frac{\frac{SL}{R}}{1 + \frac{SL}{R}}$$

ottenuta applicando la formula del partitore di tensione.

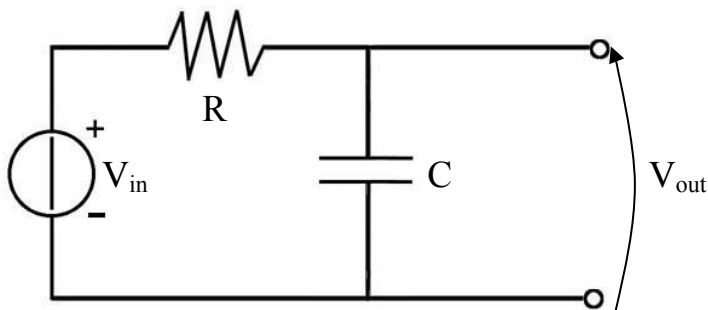
Chiamando ora $\tau = \frac{L}{R}$ e $\omega_p = \frac{1}{\tau} = \frac{R}{L}$

$$T(S) = \frac{\frac{S}{\omega_p}}{1 + \frac{S}{\omega_p}}$$

che è la funzione di trasferimento analoga alla precedente, per cui i diagrammi di Bode sono identici.

Filtro passivo passa basso

Circuitualmente si può rappresentare nel seguente modo



$Z_R = R$, cioè l'impedenza è reale

$$Z_C(S) = \frac{1}{SC}$$

Nel dominio delle trasformate

$$Z_C = \frac{1}{sC}$$

mentre nel dominio delle frequenze

$$Z_C = \frac{1}{j\omega C} \cong \frac{1}{\omega C}$$

Quindi, quando $\omega \rightarrow \infty$ la capacità diventa un circuito aperto e V_{out} va a 0, mentre per le basse frequenze la capacità si comporta come un cortocircuito.

Il filtro fa passare le componenti ad alta frequenza e non quelle a bassa.

Applicando il partitore d'impedenze (operazione lecita in quanto ci si trova nel dominio della trasformata di Fourier)

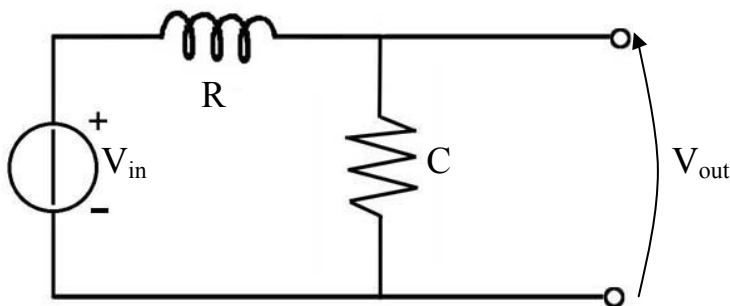
$$V_{out}(S) = \frac{\frac{1}{SC}}{R + \frac{1}{SC}} \cdot V_{in}(S) = \frac{\frac{1}{SC}}{\frac{1 + SCR}{SC}} \cdot V_{in}(S) = \frac{1}{1 + SCR} \cdot V_{in}(S)$$

La funzione di trasferimento è :

$$T(S) = \frac{V_{out}}{V_{in}} = \frac{1}{1 + SCR} = \frac{1}{1 + \frac{S}{\omega_p}}$$

Con $\omega_p = \frac{1}{RC}$ *frequenza del polo*

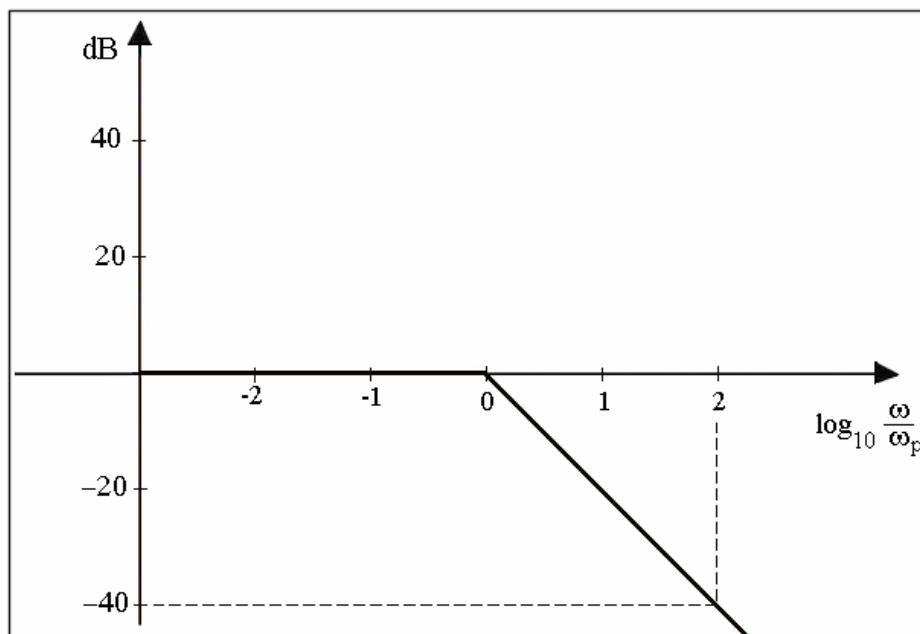
Un circuito analogo è il seguente, in cui il condensatore è sostituito da un induttore e $\omega_p = \frac{1}{RL}$



Quando $\omega \rightarrow 0$ l'induttanza diventa un cortocircuito e $V_{in} = V_{out}$, mentre quando $\omega \rightarrow \infty$ l'induttanza diventa un circuito aperto e $V_{out} = 0$.

Il diagramma di Bode del modulo è :

$$|T(j\omega)|_{dB} = -20 \log_{10} \left| 1 + \frac{j\omega}{\omega_p} \right| = -20 \log_{10} \sqrt{1 + \left(\frac{\omega}{\omega_p} \right)^2}$$



Per la fase si analizzano i seguenti casi:

– $\omega \ll \omega_p$

$$|T(j\omega)|_{dB} \cong 0$$

Si approssimano gli 0 dB fino alla frequenza T.

Si calcola la fase

$$\angle T(j\omega) \cong -\arctg 0 = 0^\circ$$

– $\omega \gg \omega_p$

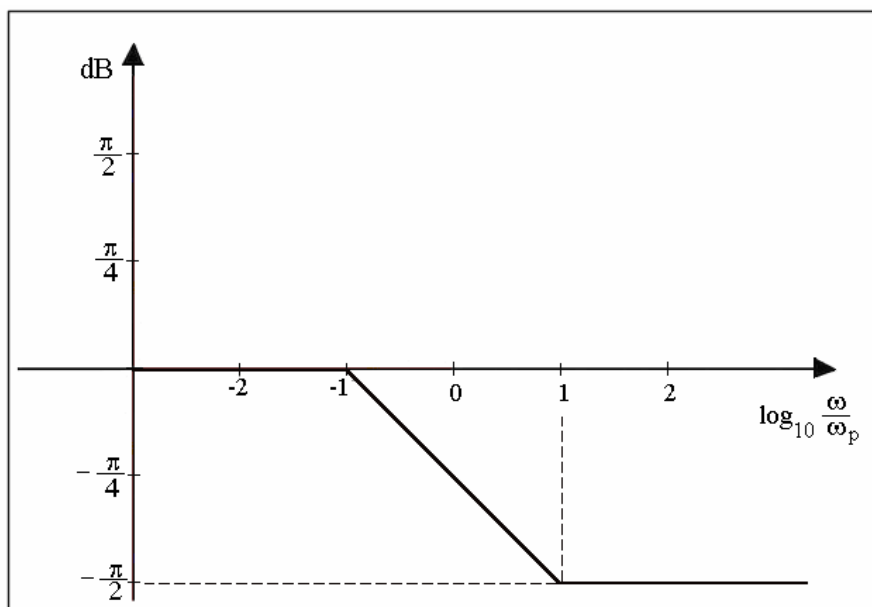
$$|T(j\omega)| \cong \left(-\frac{\omega}{\omega_p} \right)$$

$$|T(j\omega)|_{dB} = -20 \log_{10} \cdot \omega - (-20 \log_{10} \cdot \omega_p)$$

Rappresentante l'equazione di una retta con pendenza -20 dB.

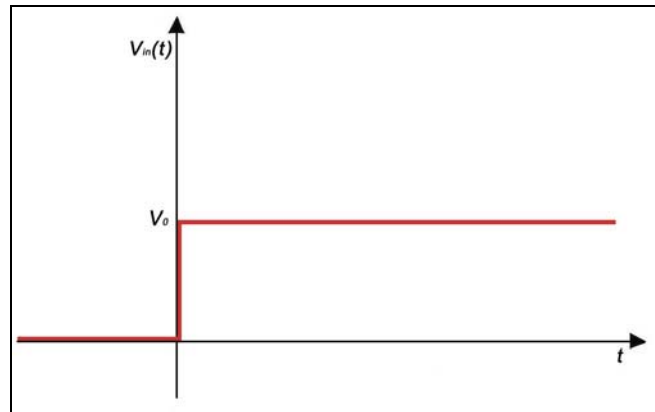
La fase $\angle T(j\omega)$ vale $(-\arctg \infty) = -90$

Il diagramma di Bode per la fase è:



Comportamento nel tempo dei filtri passa alto e passa basso

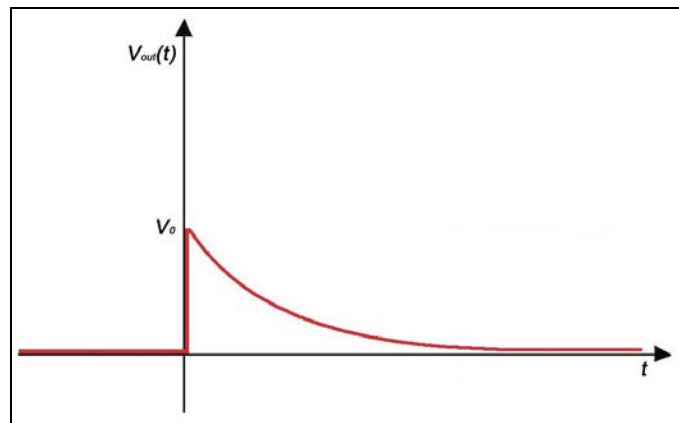
Si studia nel seguito il comportamento dei filtri nel tempo. Si considera per primo un filtro passa alto e si suppone che la funzione d'ingresso $V_1(t)$ (indicata spesso come $V_{in}(t)$) sia una funzione a gradino, come la seguente:



All'istante $t_0 = 0$ la tensione passa istantaneamente da 0 a V_0 , il tempo di passaggio è nullo e il tempo di salita, ossia il periodo, è elevatissimo e tende all'infinito. E' logico aspettarsi che il filtro passa alto segua la variazione (non tagliando le frequenze più alte) e quindi $V_2(t)$ o $V_{out}(t)$ tenda a zero, dopo il gradino, questo perché il filtro non fa passare la componente continua.

$$V_{out}(t) = V_0 \cdot e^{\frac{-t}{\tau}} \quad \tau = RC$$

Graficando V_{out} in funzione di t



E' una funzione con un salto: essendo il filtro un passa alto a $t_0 = 0$ segue subito la discontinuità. Essendo $V_{in}(t) = V_0$ costante per $t > 0$, il filtro passa alto taglia.

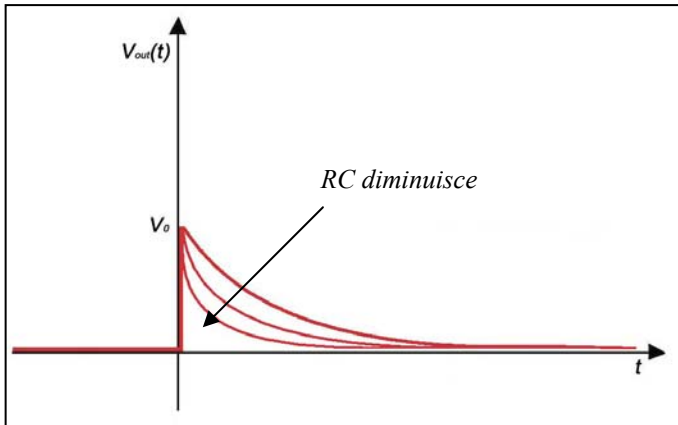
La pendenza della curva nell'origine è proporzionale a $-\frac{1}{RC}$ ossia a $\frac{1}{\tau}$.

Più la frequenza di taglio è bassa più C aumenta e meno risulta smorzata la forma d'onda, questo perché l'esponenziale negativo sale e il filtro prende sempre più componenti a bassa frequenza.

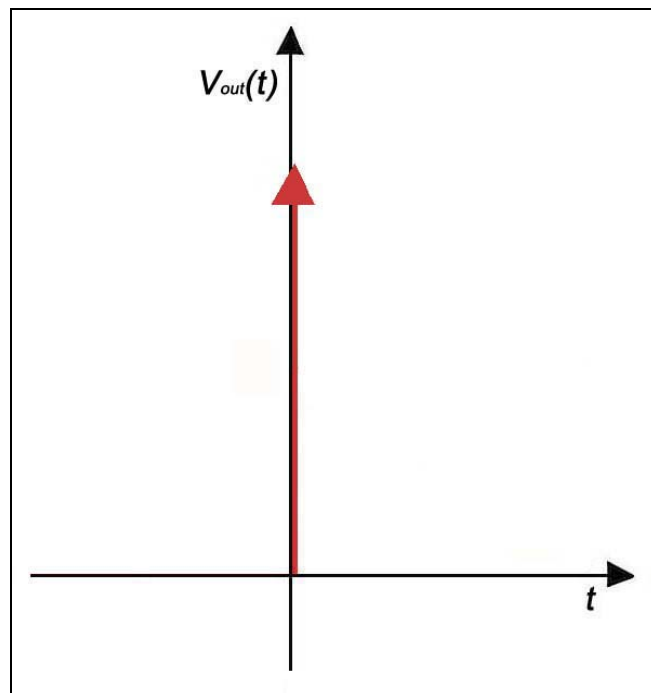
Se c aumenta la frequenza di taglio scende.

Il caso limite è quando C diventa molto grande e il sistema fa passare all'infinito anche la componente continua.

Se C è piccolo τ diventa piccolo e la frequenza di taglio cresce.

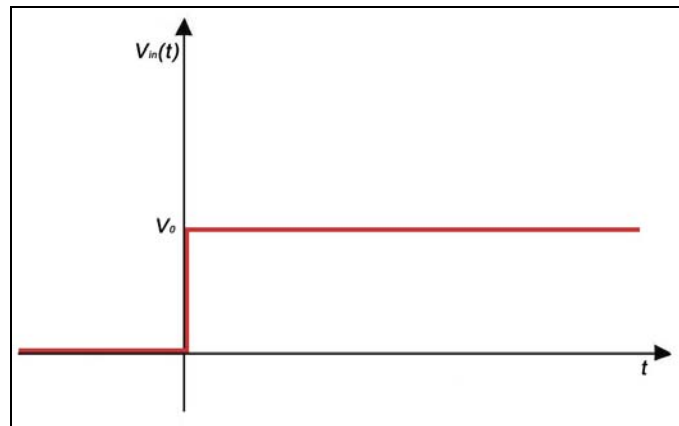


L'esponenziale smorza sempre di più sino al limite in cui rimane solo quasi un impulso.



Se C tende a zero $V_{out}(t)$ tende ad un impulso

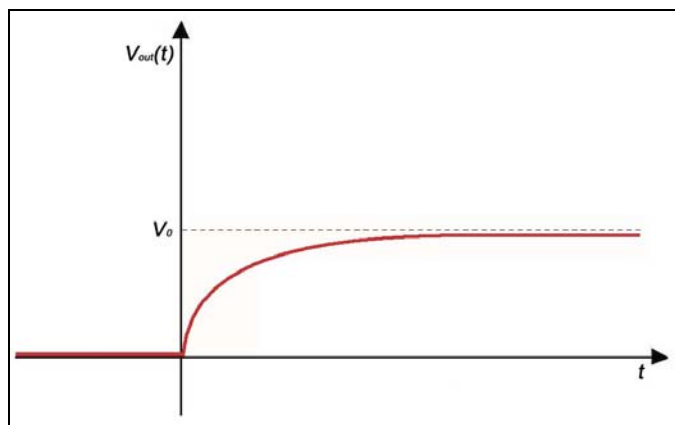
Nel caso di un filtro passa basso sottoposto al medesimo gradino di potenziale in ingresso



L'uscita si trova nel modo seguente

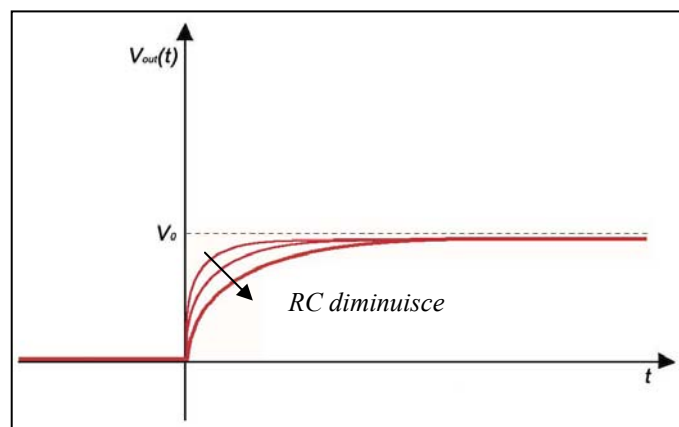
$$V_{out}(t) = A \cdot \left(1 - e^{\frac{-t}{\tau}} \right) \quad \text{con} \quad \tau = R \cdot C$$

Questo è il caso di carica di un condensatore

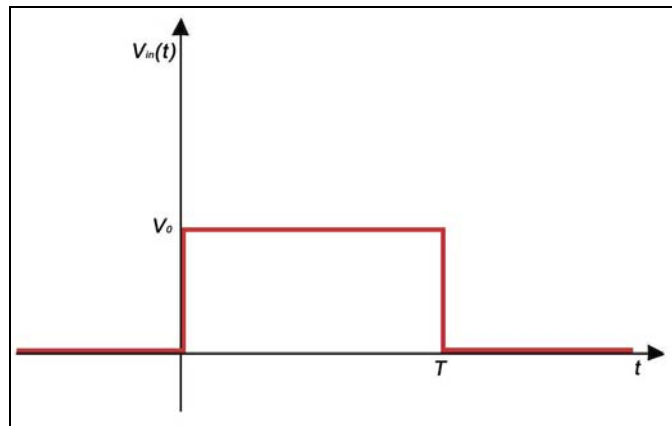


Il gradino di energia viene tagliato perché ha frequenza che tende a infinito però quando t aumenta la frequenza tende a zero, perché $V_{in}(t)$ rimane costante $\Rightarrow V_{out}(t)$ tende a zero.

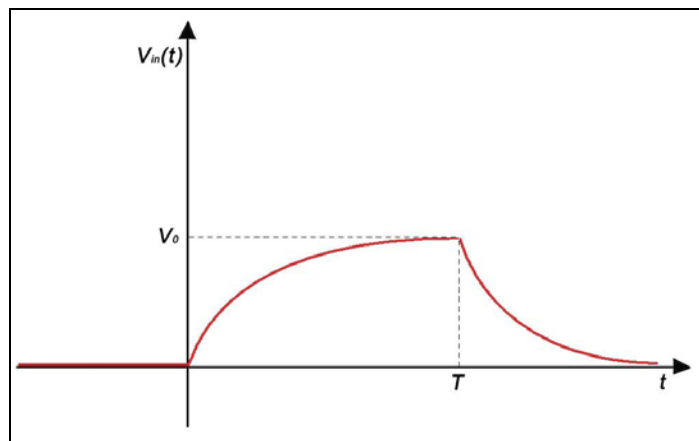
Il filtro lascia passare la corrente continua. Se ω scende il sistema taglia di più e l'onda viene smorzata maggiormente: minore è τ e la curva sale più rapidamente.



Applicando un'altra onda in ingresso, detta *onda quadra*, si analizzano i comportamenti dei filtri passa basso e passa alto, rispettivamente.
L'onda in ingresso ha la seguente forma :



Il filtro passa basso avrà un comportamento del tipo descritto dal grafico

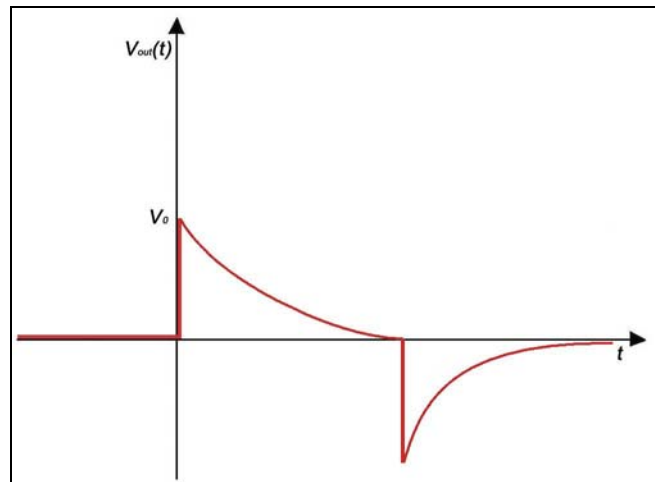


$V_{out}(t)$ sarà uguale a $V_{in}(t)$ nelle basse frequenze e verranno tagliate le discontinuità perché sono rappresentate dai componenti ad alta frequenza del segnale.

Se $\tau < T$ il circuito riesce ad arrivare a V_0 (o quasi) prima di T . Ciò significa che la frequenza dell'onda quadra non viene smorzata dal circuito.

Se, lasciando invariato l'impulso si modifica la capacità C , per esempio la si aumenta $\Rightarrow$ la frequenza scende, se diventa minore dell' ω in ingresso il condensatore non riesce a caricarsi nel tempo T e la forma d'onda in uscita risulta parzialmente o totalmente tagliata.

Con il filtro passa alto si può notare che l'uscita corrispondente è la seguente:



Se $\omega_{in} = ((2\pi) / T) > \omega_p = (1/(RC))$ la forma d'onda in ingresso non viene completamente tagliata perché il condensatore ha una capacità che non gli consente di portare $V_{out}(t)$ a zero nell'intervallo $[0, 2\pi]$. Ciò significa che la frequenza di taglio del circuito è inferiore a ω .

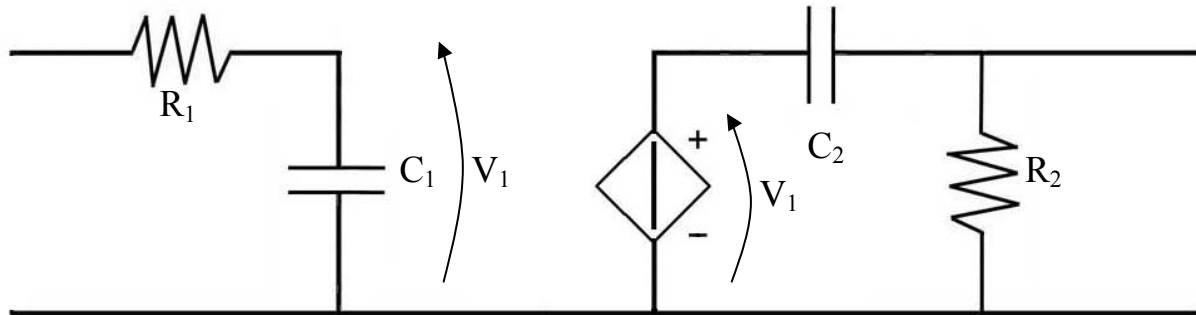
All'istante $t = T$ si ha una seconda variazione istantanea di $V_{in}(t)$, questa volta verso il basso.

Pertanto $V_{out}(t)$ per $t = T$ si avrà un salto verso il basso di grandezza pari a V_{in} .

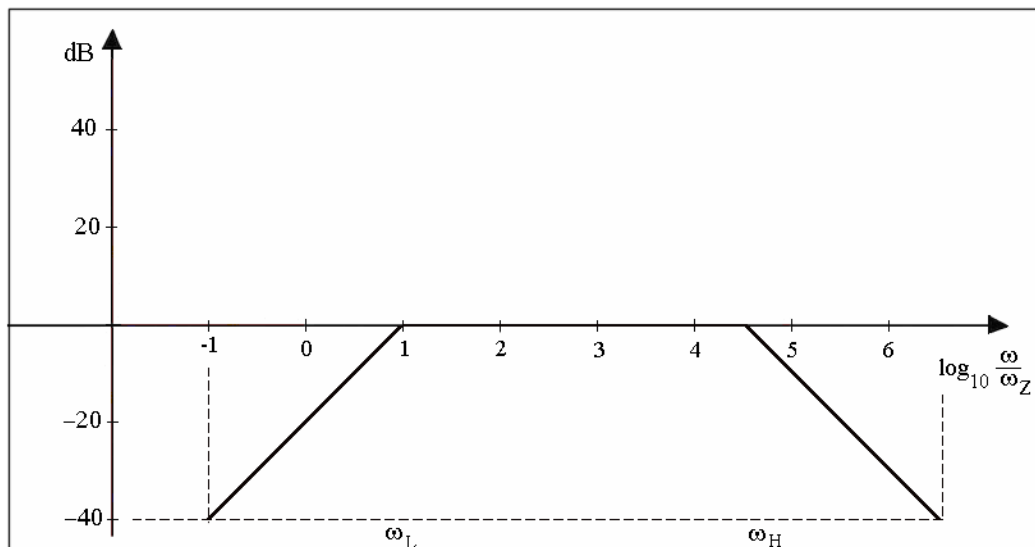
Se si riduce la capacità C del condensatore aumenta ω_p , se il suo valore va oltre il valore $2\pi / T$ il circuito taglia la frequenza dell'onda quadra, l'uscita va a zero nell'intervallo $[0, T]$ generando una V_{out} come quella disegnata.

Filtro passa banda

Una possibile rappresentazione circuitale è la seguente :



Il diagramma di Bode del modulo è :



ω_L è la frequenza di taglio inferiore

ω_H è la frequenza di taglio superiore.

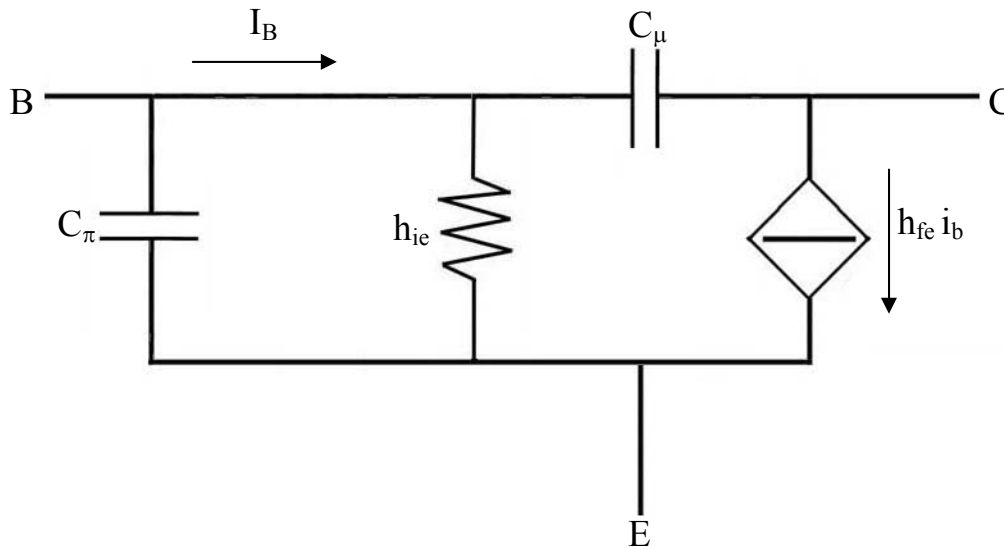
Il pianerottolo tra le due frequenze di taglio prende il nome di *centro banda* o *banda passante*. Qui il guadagno è costante e nullo e la fase anche. Al suo interno passa V_{in} . Se ω non appartiene all'intervallo $[\omega_L, \omega_H]$, $V_{out} = 0$ perché $\log_{10} |T| \rightarrow -\infty$.

Esiste quindi un intervallo ω nel quale il filtro non altera il segnale, questo comportamento è detto filtro passa banda, più selettivo dei due precedentemente visti.

E' come l'unione di un comportamento passa alto e un comportamento passa basso dove la frequenza di polo del primo è minore della frequenza di polo del secondo.

4.6 Comportamento in frequenza di uno stadio amplificatore

Considerando uno stadio amplificatore ad emettitore comune e analizzando il suo comportamento in frequenza si nota che è di tipo passa banda, ma è un filtro attivo, cioè il centro banda ha un guadagno > 1 che vale “n” dB, quindi amplifica.



Analizzando il comportamento in frequenza si notano effetti di immagazzinamento di carica modellabili nel circuito equivalente ai piccoli segnali con delle capacità C_μ e C_π , ad ogni giunzione è associata una capacità, sono relativamente piccole e dipendono dal punto di lavoro oltre che dalla tecnologia e dalle dimensioni del dispositivo.

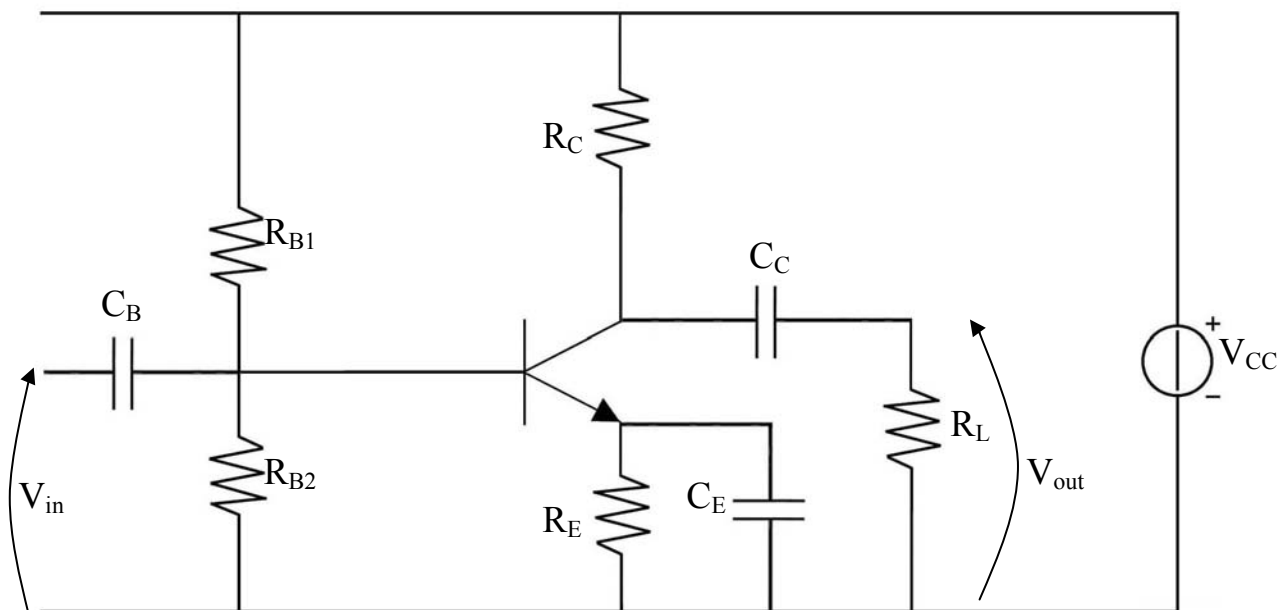
Di solito

$$C_\mu < C_\pi$$

e sono dell'ordine dei $[10^{-12} \text{ F}]$.

Cambiando quindi le condizioni di lavoro i valori delle capacità cambiano e queste si sentono soprattutto alle alte frequenze, molto meno alle basse e medie.

Si consideri ora un transistor a emettitore comune, il suo comportamento in frequenza è ancora di tipo passa banda, ω_H è determinata dalle capacità interne del transistor, cioè C_μ e C_π , mentre ω_L è determinata dalle capacità esterne: C_B , C_C , C_E .



In centro banda si possono trascurare le capacità perché

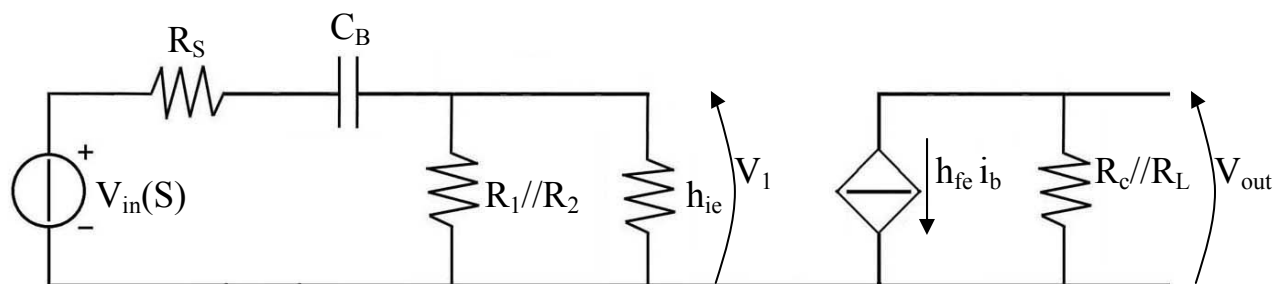
- Quelle esterne vengono considerate dei cortocircuiti perché hanno valori abbastanza grandi (circa 3 ordini di grandezza maggiori di C_μ e C_π) e la loro impedenza Z è trascurabile.
- Quelle interne sono considerate come aperti perché sono piccole, quindi $|Z| = \frac{1}{\omega C}$ è alta.

Determinazione di ω_L e ω_H di un amplificatore a EC

Si considera prima il comportamento di un passa alto.

A ω_L le capacità interne sono degli aperti perché $|Z| = \frac{1}{\omega C}$, con C piccola e quindi Z alta.

Il circuito equivalente approssimato è il seguente



R_S = resistenza equivalente del sistema d'ingresso.

Le capacità esterne sono 3, quindi 3 è il numero delle costanti di tempo $\tau = RC$. Quella che determina il comportamento in bassa frequenza è C_B , quindi si considerano C_C e C_E dei cortocircuiti e quindi si trascurano.

$$\tau_B = C_B R_B^{eq}$$

$$\tau_E = C_E R_E^{eq}$$

$$\tau_C = C_C R_C^{eq}$$

$$\Rightarrow \tau_B < \tau_E < \tau_C$$

il polo relativo a B è quello in più alta frequenza:

$$\Rightarrow f_{P_B} > f_{P_E} > f_{P_C}$$

E' noto che $V_{out} = -h \cdot f_e \cdot i_b$

Si vuole determinare $i_b = f[V_{in}(S)]$, si può dire che

$$V_1 = V_{in}(S) \frac{R_1 // R_2 // h_{ie}}{R_S + \frac{1}{SC_B} R_{in}} = V_{in}(S) \cdot \frac{R_{in}}{R_S + \frac{1}{SC_B} R_{in}}$$

$$\Rightarrow i_b = \frac{V_1}{h_{ie}} = V_{in}(S) \frac{1}{R_S + \frac{1}{SC_B} R_{in}} \cdot \frac{R_{in}}{h_{ie}}$$

In questo modo si determina la funzione di trasferimento

$$V_{out}(S) = -h_{fe} \cdot \frac{R_{in}}{h_{ie}} \cdot (R_C // R_L) \cdot \frac{V_{in}(S)}{\frac{1}{SC_B} + R_{in} + R_S}$$

$$\Rightarrow T(S) = -h_{fe} \cdot \frac{R_{in}}{h_{ie}} \cdot (R_C // R_L) \cdot \frac{\frac{1}{SC_B \cdot R_{in} \cdot R_S}}{\frac{1}{SC_R(R_{in} \cdot R_S)} + 1}$$

$$T(S) = \frac{h_{fe}}{h_{ie}} \cdot \frac{R_{in}}{R_{in} + R_S} \cdot (R_C // R_L) \cdot \frac{1}{1 + \frac{\omega_L}{S}}$$

Con

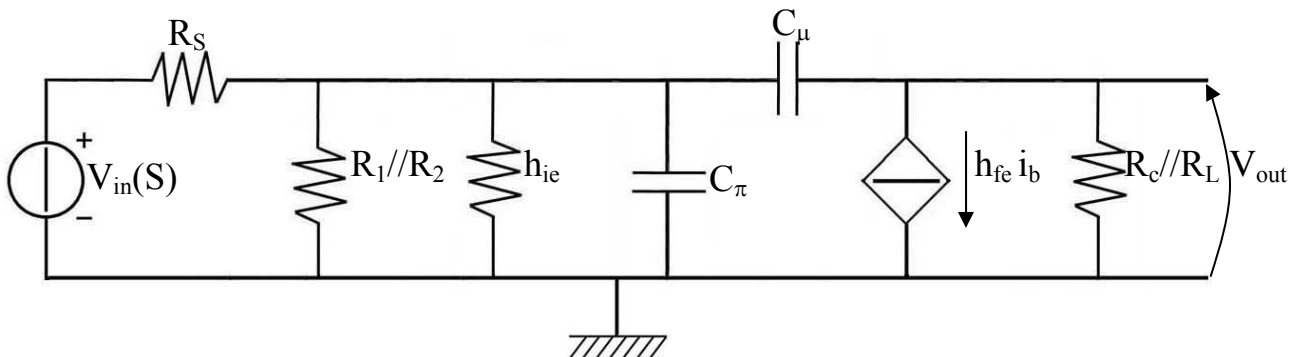
$$\omega_L = \frac{1}{C_B (R_{in} + R_S)}$$

$$T(S) = -A_V \cdot \frac{\frac{S}{\omega_L}}{1 + \frac{S}{\omega_L}}$$

Si determina ora il comportamento del passa basso, cioè la ω_H

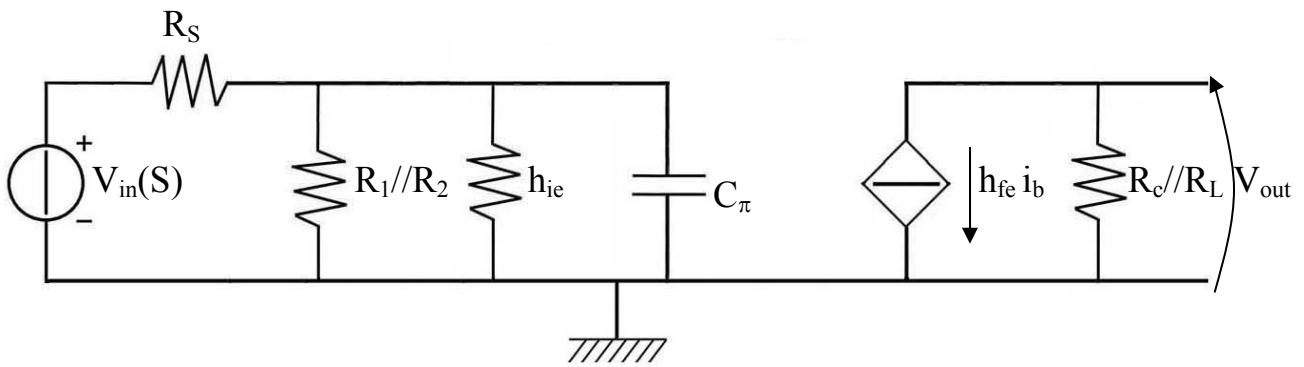
Si considera un intervallo di frequenza a cavallo di ω_H .

Nel passa basso si sostituiscono le capacità esterne con dei cortocircuiti, cioè dopo ω_L entrano in gioco le capacità interne. Si rappresenta in seguito il circuito equivalente ai piccoli segnali ad EC in alta frequenza.



N.B. prima il circuito era per frequenze a cavallo di ω_L e ora invece a cavallo di ω_H .

Poiché tra il nodo A (ingresso) e il nodo B (uscita) esiste un guadagno molto alto, Per il teorema di Miller si dimostra che la C_μ è equivalente a $(C_\mu \cdot |A_V| + C_\pi)$ a cavallo di ω_H



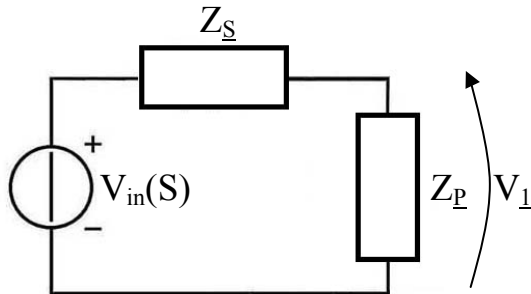
$$V_{out} = -h_{fe} \cdot i_b \cdot (R_C // R_L)$$

Con $R_{in} = R_1 // R_2 // h_{ie}$

L'impedenza del parallelo tra h_{ie} e C_π vale

$$\frac{1}{Z_{parallelo}(S)} = \frac{1}{Z_R} + \frac{1}{Z_C} = \frac{1}{R_{in}} + SC_M = \frac{1 + SC_M \cdot R_{in}}{R_{in}}$$

Il circuito diventa



Dovendo determinare V_1 , quindi

$$V_1(S) = V_{in}(S) \cdot \frac{Z_p}{Z_p + Z_S} = V_{in}(S) \cdot \frac{R_{in}}{(R_{in} + R_S) + SC_M \cdot R_{in} \cdot R_S}$$

$$i_b = \frac{V_1(S)}{h_{ie}}$$

Chiamando A_V il guadagno in centro banda, la funzione di trasferimento è

$$T(S) = A_v \cdot \frac{1}{1 + \frac{S}{\omega_H}} \quad \text{con} \quad \omega_H = \frac{1}{C_M \cdot R_{in} \cdot R_S + R_{in} + R_S}$$

In conclusione, con gli ω_L e ω_H trovati il comportamento derivante del filtro è passa banda.

ESERCIZIO

Data la funzione di trasferimento :

$$T(S) = 10^4 \cdot \frac{s + 40}{(s + 10) \cdot (s + 400)}$$

a) Determinare i diagrammi di Bode del modulo e della fase.

Per prima cosa occorre riscrivere la funzione di trasferimento in modo da evidenziare poli e zeri :

$$T(S) = 10^4 \cdot \frac{40 \cdot \left(1 + \frac{s}{40}\right)}{10 \cdot \left(1 + \frac{s}{10}\right) \cdot \left(1 + \frac{s}{400}\right) \cdot 400} = 10^4 \cdot \frac{40 \cdot \left(1 + \frac{s}{40}\right)}{4000 \cdot \left(1 + \frac{s}{10}\right) \cdot \left(1 + \frac{s}{400}\right)} = 10^2 \cdot \frac{\left(1 + \frac{s}{40}\right)}{\left(1 + \frac{s}{10}\right) \cdot \left(1 + \frac{s}{400}\right)}$$

Le radici del denominatore sono i poli e sono due :

$$p_1 = -10 \text{ rad/sec}$$

$$p_2 = -400 \text{ rad/sec}$$

mentre le radici del numeratore sono gli zeri , in questo caso se ne ha uno solo :

$$z_1 = -40 \text{ rad/sec}$$

- Il diagramma del modulo comprenderà quattro contributi :

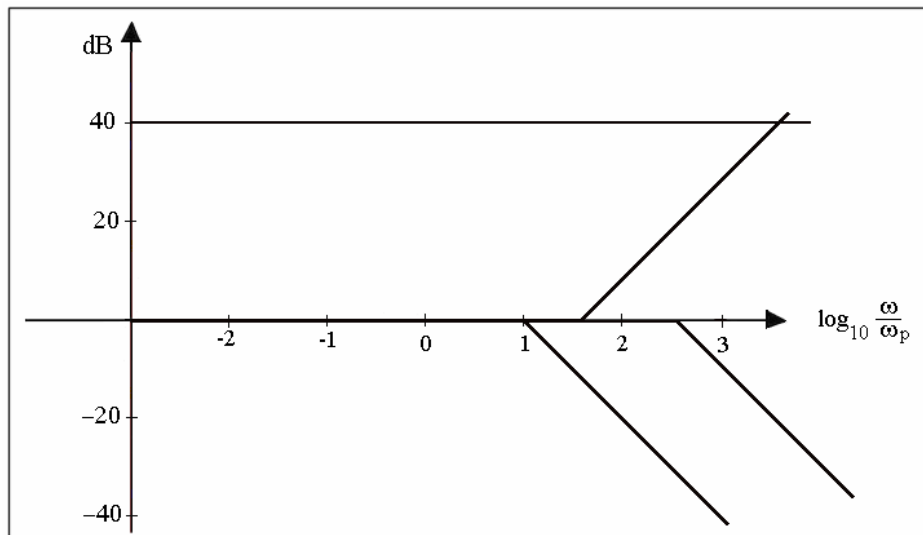
$$1) \quad \frac{1}{1 + \frac{j\omega}{10}}$$

$$2) \quad \frac{1}{1 + \frac{j\omega}{400}}$$

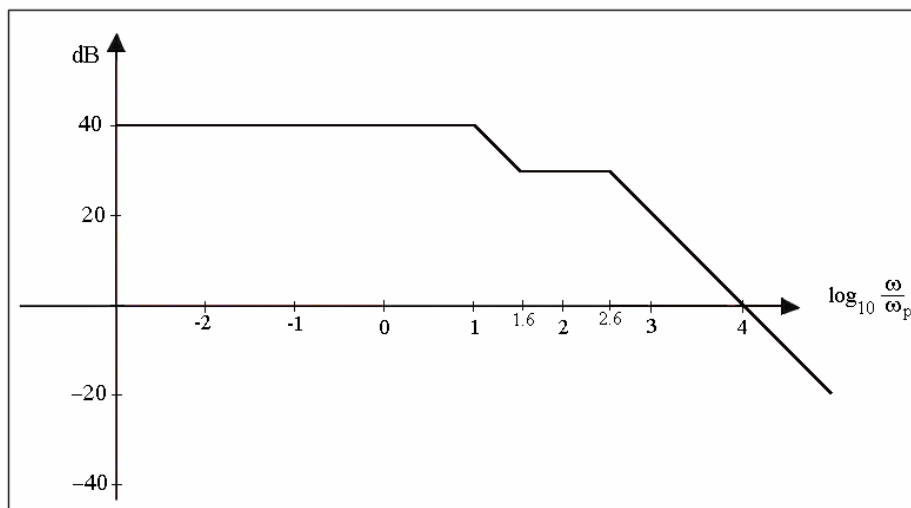
$$3) \quad 1 + \frac{j\omega}{40}$$

- 4) 10^2 che è una componente costante ed è una retta orizzontale al livello :

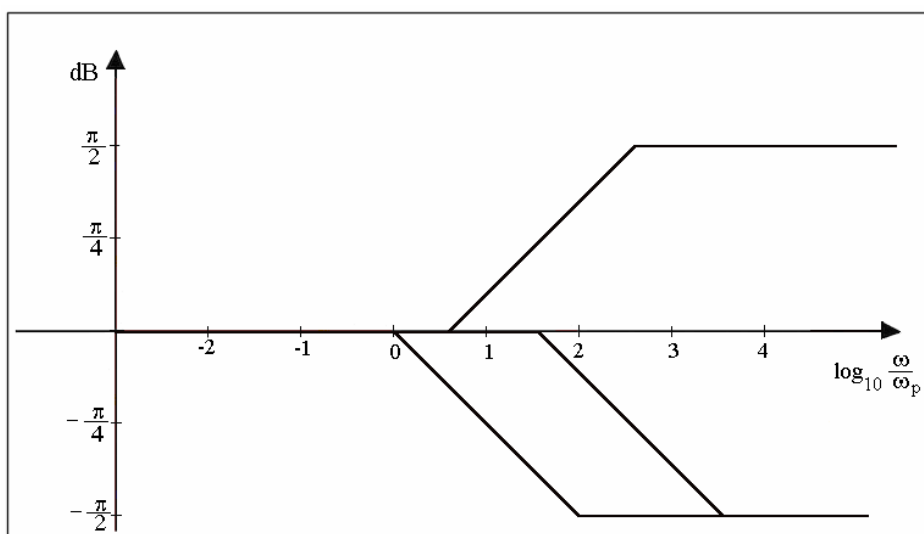
$$20\log_{10} 10^2 = 40\text{dB}$$



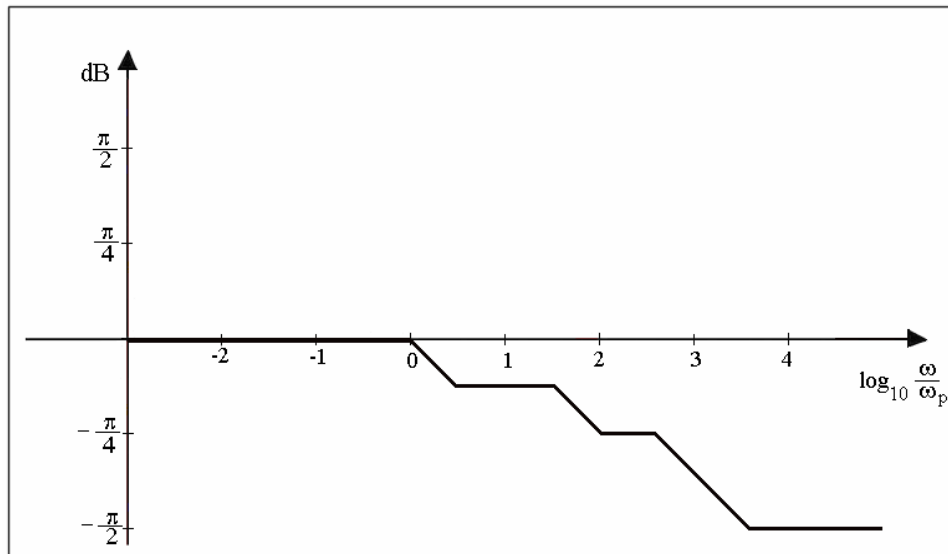
Quindi il diagramma finale del modulo è :



Mentre il diagramma delle componenti della fase è :



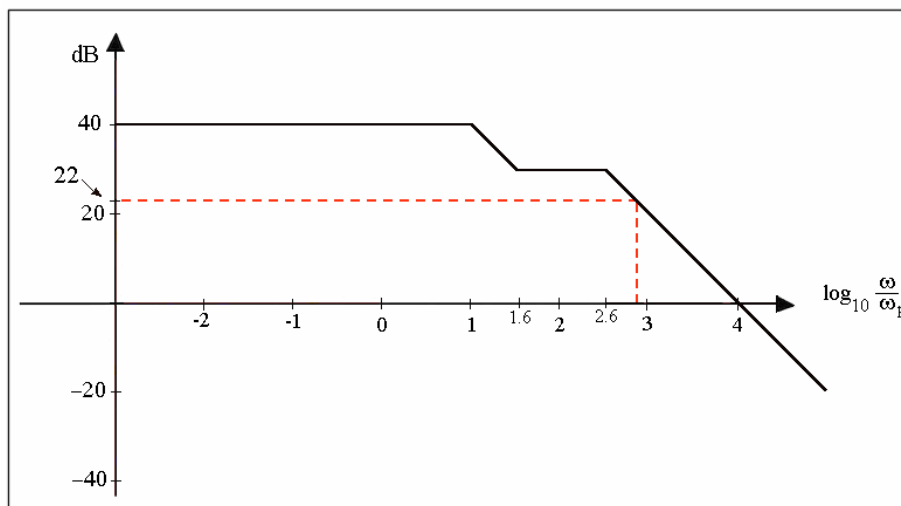
Quindi il diagramma finale della fase è :



b) Determinare il valore di $T(j800)$:

$$\omega = 800 \text{ può essere riscritta come : } \log_{10} 8 + \log_{10} 100 = 0.9 + 2 = 2.9$$

Possiamo ora utilizzare i due diagrammi di Bode precedenti (modulo e fase) per vedere il valore in dB ovvero si entra nel grafico in ascissa col valore 2.9 e si trova in ordinata 22 dB:



Per cui da :

$$20 \cdot \log T = T(\text{dB}) \quad \Rightarrow \quad T(j800) = \log^{-1} \frac{22}{20} = 12.6$$

Per quanto riguarda la fase si può procedere nello stesso modo cioè entrando nel grafico della fase con in ascissa il valore 2.9 e si trova così :

$$\angle T(j800) = -58.5^\circ$$

Capitolo 5

Algebra di boole (o booleana)

L' algebra booleana fornisce gli strumenti necessari per elaborare ed interpretare le informazioni in forma binaria.

La logica booleana è stata inventata da Boole, matematico inglese vissuto nel XIX secolo.

Variabile Booleana

è una variabile che può assumere solo due valori $\{0;1\}$ oppure $\{\text{True}; \text{False}\}$

Funzione Booleana

è una relazione che associa un valore logico ad un insieme di variabili booleane. Essa è rappresentabile esplicitamente mediante una *Tabella di Verità*.

Definizione dell'Algebra Booleana

L' algebra di Boole è un sistema algebrico (cioè un insieme di elementi per i quali è definito in insieme di operazioni) definito da:

1. L'insieme $\{0, 1\}$
2. $+$ somma logica (operatore binario logico OR)
3. $\bullet$ prodotto logico (operatore binario logico AND)
4. l'operazione unaria NOT
5. La relazione di equivalenza con le proprietà:

Riflessività	$x = x$
Simmetria	$x = y \rightarrow y = x$
Transitività	$x = y, y = z \rightarrow x = z$

0 è il valore neutro dell'OR $a + 0 = a$

1 è il valore neutro dell'AND $x \bullet 1 = x$

Proprietà fondamentali dell'algebra booleana

1. DUALITA'

$$x + 0 = x$$

$$x \bullet 1 = x$$

2. IDEMPOTENZA

$$x \bullet x = x$$

$$x + x = x$$

3. PROPRIETÀ COMMUTATIVA DI OR E AND

$$a + b = b + a$$

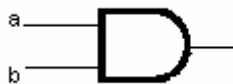
$$a \bullet b = b \bullet a$$

4. PROPRIETÀ ASSOCIATIVA DI OR E AND

$$(a + b) + c = a + (b + c) = \dots = a + b + c \quad \text{per l'OR}$$



$$(a \bullet b) \bullet c = a \bullet (b \bullet c) = \dots = a \bullet b \bullet c \quad \text{per l'AND}$$



5. PROPRIETÀ DISTRIBUTIVA

$$a \bullet b + a \bullet c = a \bullet (b + c) \quad \text{oppure}$$

$$(a + b) \bullet (a + c) = a + b \bullet c \quad (1)$$

La (1) si dimostra nel seguente modo:

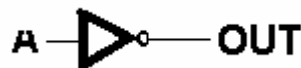
$$\begin{aligned} a \bullet a + a \bullet c + b \bullet a + b \bullet c &= a + a \bullet c + b \bullet a + b \bullet c = a \bullet (1 + c) + b \bullet a + b \bullet c = \\ &= a + b \bullet a + b \bullet c = a \bullet (b + 1) + b \bullet c = a + b \bullet c \end{aligned}$$

6. OPERATORE NOT

Questo operatore è unario ovvero agisce su una sola variabile booleana

$$a + \bar{a} = 1$$

$$a \bullet \bar{a} = 0$$



7. ASSORBIMENTO

$$a + a \bullet b = a \quad \text{Immediato noto che } b + 1 = 1$$

$$a \bullet (a + b) = a \quad (2)$$

La (2) si dimostra nel seguente modo:

$$a \cdot a + a \cdot b = a + a \cdot b$$

$$a(\bar{a} + b) = a \cdot b \quad \text{Immediato dalle proprietà del NOT}$$

$$a + \bar{a}b = a + b \quad \text{Dalle tabelle di verità}$$

$$\bar{\bar{a}} = a$$

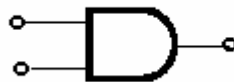
Porta logica

E' un dispositivo in grado di eseguire operazioni logiche

Simbolo della porta logica dell'OR:



Simbolo della porta logica dell'AND:



Altri operatori dell'algebra booleana:

NOR

L'operatore NOR coincide con un OR negato.

a	b	OR	NOR
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

Il circuito logico equivalente risulta:

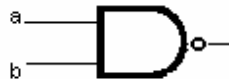


NAND

L'operatore NAND coincide con la negazione del risultato dell'operatore AND.

a	b	AND	NAND
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

Il circuito logico equivalente risulta:

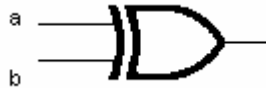


EXOR ($a \oplus b$)

L'operatore EXOR, detto anche OR esclusivo, presenta la seguente tabella di verità:

a	b	EXOR ($a \oplus b$)
0	0	0
0	1	1
1	0	1
1	1	0

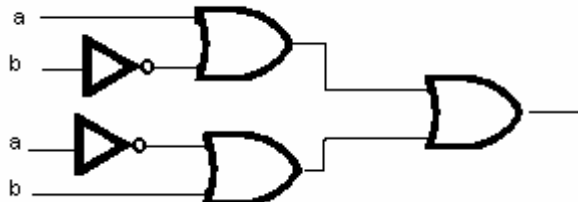
Il simbolo corrispondente è:



L'EXOR generalizzato (a parità) ha un numero di variabili fornisce informazione su ***n***, numero di variabili d'ingresso poste a 1:

se *n* è pari EXOR restituisce 0
se *n* è dispari EXOR restituisce 1

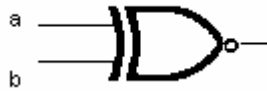
L' EXOR ha un circuito equivalente di questo tipo:



L' EXOR viene utilizzato per vedere se sono uguali due variabili, infatti se *a* e *b* sono diverse uno dei due AND del circuito precedente va a 1 e l'uscita ($a \oplus b$) è 1. Altrimenti ($a \oplus b$) = 0 come si deduce dalla tabella di verità.

EXNOR

L'operatore EXNOR coincide con EXOR negato.



5.1 Teorema di De Morgan

$$\overline{x_1 + x_2 + \dots + x_n} = \bar{x}_1 \cdot \bar{x}_2 \cdot \dots \cdot \bar{x}_n$$

$$\overline{x_1 \cdot x_2 \cdot \dots \cdot x_n} = \bar{x}_1 + \bar{x}_2 + \dots + \bar{x}_n$$

Implicazioni del teorema di De Morgan

Nel caso di due variabili si osserva che

$$\overline{a + b} = \bar{a} \cdot \bar{b}$$

e, negando ancora,

$$\overline{\overline{a + b}} = \overline{\bar{a} \cdot \bar{b}}$$

ma essendo

$$\overline{\overline{a + b}} = a + b$$

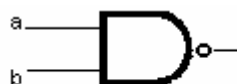
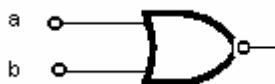
risulta che

$$a + b = \overline{\bar{a} \cdot \bar{b}}$$

Inoltre impiegando la seconda relazione di De Morgan

$$\overline{\bar{a} \cdot \bar{b}} = \overline{\overline{a + b}} = a + b$$

Pertanto le seguenti reti logiche risultano equivalenti:



5.2 Insiemi di operatori booleani funzionalmente completi

Un insieme di operatori booleani è detto funzionalmente completo se è possibile costruire qualsiasi funzione logica comunque complessa a partire dagli operatori che lo costituiscono.

Si possono identificare 7 insiemi funzionalmente completi:

1. {AND, OR, NOT}

2. {AND, NOT}

Noti AND e NOT, l'OR può essere ricavato applicando il teorema di De Morgan:

$$a + b = \overline{\overline{a} \bullet \overline{b}}$$

3. {OR, NOT}

Noti OR e NOT, l'AND si può ricavare applicando il teorema di De Morgan:

$$\overline{\overline{a + b}} = a \bullet b$$

4. {NAND}

Noto il NAND si può ricavare il NOT dalla tabella della verità:

a	b	NAND
0	0	1
0	1	1
1	0	1
1	1	0

Dalla 1^a e dalla 4^a riga si ottiene il NOT uguagliando i due ingressi

$$a \text{ NAND } a = \bar{a}$$

Oppure dalla 2^a e dalla 3^a riga, con un ingresso a e 1

$$a \text{ NAND } 1 = \bar{a}$$

Noti NAND e NOT si può ricavare l'AND e quindi tutto il resto.

5. {NOR}

Il procedimento è analogo a quello del NAND.

6. {EXOR, AND}

7. {EXOR, OR}

Nota: nella pratica si utilizzano solo gli insiemi {NOR} e {NAND}

Capitolo 6

Reti logiche combinatorie

6.1 Sintesi di una funzione logica

Data una funzione logica qualsiasi il processo di sintesi si occupa di realizzare una rete logica che realizza la funzione.

TEOREMI DI ESPANSIONE DI SHANNON

Dato un problema ricavare la sua formulazione in termini di tabella di verità è generalmente agevole, mentre la determinazione della rete logica (insieme di porte logiche) non è altrettanto semplice.

Per fare ciò si ricorre ai *teoremi di espansione di Shannon*.

Primo teorema di Shannon

Data una funzione booleana qualsiasi di n variabili $f(x_1, \dots, x_n)$, si può scrivere:

$$f(x_1, \dots, x_n) = x_1 f(1, x_2, \dots, x_n) + \overline{x_1} f(0, x_2, \dots, x_n)$$

Il teorema è intuitivo:

x_1 può assumere come valori 0 oppure 1

quindi al variare di x_1 , $f(x_1, \dots, x_n)$ può assumere i valori $f(0, x_2, \dots, x_n)$ oppure $f(1, x_2, \dots, x_n)$

se $x_1 = 1 \quad \Rightarrow \quad x_1 f(1, x_2, \dots, x_n) = f(1, x_2, \dots, x_n) \quad \text{e} \quad \overline{x_1} f(0, x_2, \dots, x_n) = 0$

$\Rightarrow \quad f(x_1, x_2, \dots, x_n) = f(1, x_2, \dots, x_n)$

se $x_1 = 0 \quad \Rightarrow \quad x_1 f(1, x_2, \dots, x_n) = 0 \quad \text{e} \quad \overline{x_1} f(0, x_2, \dots, x_n) = f(0, x_2, \dots, x_n)$

$\Rightarrow \quad f(x_1, x_2, \dots, x_n) = f(0, x_2, \dots, x_n)$

Si può proseguire espandendo la funzione anche rispetto alle altre $n-1$ variabili, ottenendo 2^n somme di n prodotti logici. Il risultato è una rete logica di tipo AND-OR.

Formula generale:

$$\begin{aligned} f(x_1, x_2, \dots, x_n) = & x_1 f(1, x_2, \dots, x_n) + \overline{x_1} f(0, x_2, \dots, x_n) + \\ & x_2 f(x_1, 1, \dots, x_n) + \overline{x_2} f(x_1, 0, \dots, x_n) + \\ & \cdot \\ & \cdot \\ & \cdot \\ & x_n f(\dots\dots\dots) + \dots\dots \end{aligned}$$

Es. Sia nota la seguente funzione espressa in termini di tabella di verità:

X_1	X_2	X_3	$F(X_1, X_2, X_3)$
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1

Applicando il primo teorema di Shannon si ottiene:

$f(x_1, x_2, x_3)$

$$\begin{aligned}
 & x_1 x_2 x_3 f(1, 1, 1) + \\
 & x_1 x_2 \bar{x}_3 f(1, 1, 0) + \\
 & x_1 \bar{x}_2 x_3 f(1, 0, 1) + \\
 & x_1 \bar{x}_2 \bar{x}_3 f(1, 0, 0) + \\
 & \bar{x}_1 x_2 x_3 f(0, 1, 1) + \\
 & \bar{x}_1 x_2 \bar{x}_3 f(0, 1, 0) + \\
 & \bar{x}_1 \bar{x}_2 x_3 f(0, 0, 1) + \\
 & \bar{x}_1 \bar{x}_2 \bar{x}_3 f(0, 0, 0)
 \end{aligned}$$

Sia (x_1^*, x_2^*, x_3^*) un generico assegnamento per le tre variabili, sostituendo i valori di $f(x_1^*, x_2^*, x_3^*)$ si distinguono 2 casi:

1. se $f(x_1^*, x_2^*, x_3^*) = 0$ si elimina completamente il termine
2. se $f(x_1^*, x_2^*, x_3^*) = 1$ si riporta il termine $x_1^* x_2^* x_3^*$

Agendo in tal modo si ottiene:

$$f(x_1, x_2, x_3) = x_1 x_2 x_3 + x_1 x_2 \bar{x}_3 + \bar{x}_1 x_2 x_3 + \bar{x}_1 \bar{x}_2 \bar{x}_3$$

Definita **sintesi minima** una sintesi che minimizza sia il numero di prodotti che il numero di termini per ogni prodotto, si può osservare che la sintesi così ottenuta non è quella minima; infatti è possibile raccogliere $x_2 x_3$ dal I e dal III termine:

$$f(x_1, x_2, x_3) = x_2 x_3 (x_1 + \bar{x}_1) + x_1 x_2 \bar{x}_3 + \bar{x}_1 \bar{x}_2 \bar{x}_3$$

ed essendo

$$\bar{x}_1 + x_1 = 1$$

risulta

$$f(x_1, x_2, x_3) = x_2 x_3 + x_1 x_2 \bar{x}_3 + \bar{x}_1 \bar{x}_2 \bar{x}_3$$

La precedente è un'espressione più compatta per $f(x_1, x_2, x_3)$. Il primo teorema di Shannon fornisce, dunque, una sintesi AND-OR per qualsiasi funzione definita in termini di tabella di verità, ma tale sintesi non è minima. Tutti i processi di sintesi si basano comunque sui teoremi di Shannon.

Secondo teorema di Shannon

È il teorema duale del precedente. La funzione booleana di n variabili si può scrivere come

$$f(x_1, \dots, x_n) = (x_1 + f(0, x_2, \dots, x_n)) \bullet (\bar{x}_1 + f(1, x_2, \dots, x_n))$$

il teorema si può ottenere espandendo l'espressione precedente:

Dimostrazione:

$$f(x_1, \dots, x_n) = x_1 \bar{x}_1 + x_1 f(1, x_2, \dots, x_n) + \bar{x}_1 f(0, x_2, \dots, x_n) + f(1, x_2, \dots, x_n) f(0, x_2, \dots, x_n)$$

Essendo

$$x_1 \bullet \bar{x}_1 = 0$$

si ottiene

$$f(x_1, \dots, x_n) = x_1 f(1, x_2, \dots, x_n) + \bar{x}_1 f(0, x_2, \dots, x_n) + f(1, x_2, \dots, x_n) f(0, x_2, \dots, x_n)$$

Poiché i primi due termini dell'OR si ottengono applicando il primo teorema di Shannon, per essere vero l'espressione precedente il terzo termine non deve influire sull'OR.

Ossia:

$$x_1 f(1, \dots, x_n) + \bar{x}_1 f(0, \dots, x_n) = x_1 f(1, \dots, x_n) + \bar{x}_1 f(0, \dots, x_n) + f(1, \dots, x_n) f(0, \dots, x_n) \quad (1)$$

Affinché sia verificata l'uguaglianza, occorre che il termine $f(1, \dots, x_n) f(0, \dots, x_n)$ sia pari ad 1 esclusivamente nel caso in cui uno dei due termini $x_1 f(1, \dots, x_n)$ o $\bar{x}_1 f(0, \dots, x_n)$ è 1.

Altrimenti:

Dalla tabella di verità dell'AND, si ha che

$$f(0, \dots, x_n) \bullet f(1, \dots, x_n) = 1$$

se e solo se contemporaneamente

$$\begin{cases} f(0, \dots, x_n) = 1 \\ f(1, \dots, x_n) = 1 \end{cases} \quad (2)$$

Pertanto se è vera la (2) l'uguaglianza (1) è verificata se almeno uno dei due termini $x_1 f(1, \dots, x_n)$ e $\bar{x}_1 f(0, \dots, x_n)$ assume sempre valore 1.

Pertanto

$$\begin{array}{lll} \text{se } x_1 = 1 & \Rightarrow & \text{il primo termine vale 1} \\ \text{se } x_1 = 0 & \Rightarrow & \bar{x}_1 = 1 \Rightarrow \text{il secondo termine vale 1} \end{array}$$

si è ricavata la che la espressione del secondo teorema di Shannon.

Es. Sia nota la seguente funzione espressa in termini di tabella di verità

X_1	X_2	X_3	$F(x_1, x_2, x_3)$
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

Applicando il secondo teorema di Shannon si ottiene:

$f(x_1, x_2, x_3)$

$$\begin{aligned}
 & x_1 x_2 x_3 f(0, 0, 0) + \\
 & x_1 x_2 \bar{x}_3 f(0, 0, 1) + \\
 & x_1 \bar{x}_2 x_3 f(0, 1, 0) + \\
 & x_1 \bar{x}_2 \bar{x}_3 f(0, 1, 1) + \\
 & \bar{x}_1 x_2 x_3 f(1, 0, 0) + \\
 & \bar{x}_1 x_2 \bar{x}_3 f(1, 0, 1) + \\
 & \bar{x}_1 \bar{x}_2 x_3 f(1, 1, 0) + \\
 & \bar{x}_1 \bar{x}_2 \bar{x}_3 f(1, 1, 1)
 \end{aligned}$$

Sia ancora (x_1^*, x_2^*, x_3^*) un generico assegnamento per le tre variabili, sostituendo i valori di $f(x_1^*, x_2^*, x_3^*)$ si distinguono 2 casi:

- | | |
|------------------------------------|---|
| 1- se $f(x_1^*, x_2^*, x_3^*) = 0$ | si elimina completamente il termine |
| 2- se $f(x_1^*, x_2^*, x_3^*) = 1$ | si riporta il termine $x_1^* x_2^* x_3^*$ |

Agendo in tal modo si ottiene:

$$f(x_1, x_2, x_3) = x_1 x_2 x_3 + x_1 x_2 \bar{x}_3 + \bar{x}_1 x_2 \bar{x}_3 + \bar{x}_1 \bar{x}_2 \bar{x}_3$$

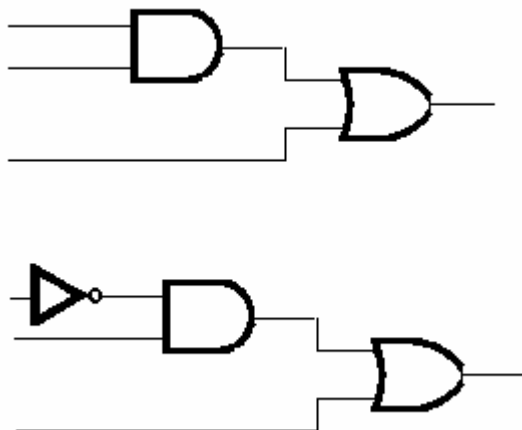
In questo caso la sintesi ottenuta è di tipo OR-AND e non è minima.

6.2 Sintesi minima di una funzione

Livello di una rete logica

Il livello di una rete logica è il numero massimo di porte logiche che il segnale deve attraversare nella rete.

Nel calcolo del numero di porte di logiche attraversate dal segnale non si considerano i NOT iniziali, supponendo di avere i segnali diretti e negati.



Prodotto fondamentale

Si definisce prodotto fondamentale un AND di tutte le variabili della funzione prese in forma diretta o negata.

Se la funzione ha n variabili ci saranno 2^n prodotti fondamentali.

Es. Data $f(x_1, x_2, x_3)$ un prodotto fondamentale è $\bar{x}_1 \bar{x}_2 \bar{x}_3$

Somma fondamentale

Si definisce somma fondamentale un OR di tutte le variabili della funzione prese in forma diretta o negata.

Se la funzione ha n variabili ci saranno 2^n somme fondamentali.

Es. Data $f(x_1, x_2, x_3)$ una somma fondamentale è $\bar{x}_1 \bar{x}_2 x_3$

Implicanti

Es. Sia $f(x, y, z) = xy + z + \bar{x}$, allora $g(z) = z$ e $h(x, y) = xy$ e $R(x) = x$ sono implicanti di f poichè, quando $Z = 1 \Rightarrow f = 1$ e quando $h = 1 \Rightarrow f = 1$ e quando $X = 1 \Rightarrow f = 1$

Implicanti primi

Es: nel caso precedente $g(z)$ e $K(x)$ sono implicanti primi mentre $h(x, y)$ non lo è; infatti: $f(x,y,z) = xy + z + x = z + x (Y+1) = z+x$.

In effetti $K(x)$ è implicante di $h(x,y)$ per cui $h(x,y)$ non è un implicante primo.

MAPPE DI KARNAUGH

Le mappe di Karnaugh sono tabelle, analoghe alla tabelle di verità, attraverso le quali è possibile costruire una sintesi minima.

Nel caso di funzione booleana di due variabili a, b in ogni cella della mappa di Karnaugh viene messo il valore della funzione ottenuto in corrispondenza dell'ingresso (a, b) , dove a è il valore individuato dalla colonna e b dalla riga.

Le mappe di Karnaugh presentano la seguente proprietà: se si passa da una casella ad un'altra in orizzontale o in verticale (ma non in diagonale), cambia solo il valore di una variabile.

Un'altra proprietà è la ciclicità: che deriva da quella precedente percorrendo una riga o una colonna si vede che da una cella all'altra cambia solo una variabile. Arrivati in fondo alla riga o alla colonna si può ricominciare da capo perché la prima e l'ultima cella della tabella differiscono sempre per una sola variabile.

Nel caso di una funzione di tre variabili, si mettono due variabili sulle righe ed una sulle colonne. Le celle della tabella saranno $2^3 = 8$.

Es.1 La funzione f di due variabili a e b può essere descritta con la seguente tabella di verità

a	b	f
0	0	0
0	1	1
1	0	1
1	1	1

Mappa di Karnaugh

a \ b	0	1
	0	1
0	0	1
1	1	1

Es.2 Analogamente all'Es, $f(a, b, c)$ è data attraverso la seguente tabella di verità:

a	B	c	F
0	0	0	0
0	1	0	1
0	0	1	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

ab c	00	01	11	10
0	1	0	0	1
1	0	1	1	1

Si noti che anche in questo caso la disposizione dei valori delle variabili è sempre fatta in modo tale per cui spostandosi in orizzontale o in verticale da una cella a quella contigua, cambia valore solo una delle tre variabili (adiacenza).

Es. Mappa di karnaugh a 4 variabili:

ab cd	00	01	11	10
00	1	0	1	0
01	1	1	0	1
11	1	0	1	0
10	1	1	0	1

Es. Mappa di Karnaugh a 5 variabili:

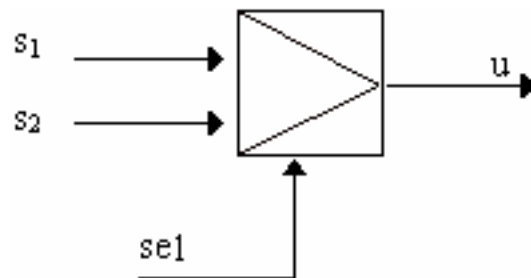
abc d	000	001	011	010	110	111	101	100
00								
01								
11								
10								

Es. 3

SINTESI DI UN MULTIPLEXER

Un multiplexer è una rete logica in grado di selezionare uno fra più ingressi in funzione di un'altra variabile.

Nella sua forma più semplice, il multiplexer è una rete logica in cui entrano due segnali s_1 e s_2 e una variabile di selezione; l'uscita è u .



La funzione booleana è tale per cui

$$\begin{array}{ll} \text{se} & \text{sel} = 0 \Rightarrow u = s_1 \\ \text{se} & \text{sel} = 1 \Rightarrow u = s_2 \end{array}$$

Si costruisce la seguente tabella di verità:

s_1	s_2	sel	u
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

Sintesi AND-OR

Usando il primo teorema di espansione di Shannon si ottiene la sintesi (non minima):

$F(s_1, s_2, \text{sel})$

$$\begin{aligned} & s_1 \bullet s_2 \bullet \text{sel} \bullet 1 + \\ & s_1 \bullet s_2 \bullet \overline{\text{sel}} \bullet 1 + \\ & \overline{s_1} \bullet s_2 \bullet \text{sel} \bullet 1 + \\ & \overline{s_1} \bullet s_2 \bullet \overline{\text{sel}} \bullet 1 + \\ & \overline{s_1} \bullet s_2 \bullet \text{sel} \bullet 1 + \\ & \overline{s_1} \bullet \overline{s_2} \bullet \text{sel} \bullet 1 + \\ & \overline{s_1} \bullet \overline{s_2} \bullet \overline{\text{sel}} \bullet 1 + \\ & \overline{s_1} \bullet \overline{s_2} \bullet \text{sel} \bullet 1 + \\ & \overline{s_1} \bullet \overline{s_2} \bullet \overline{\text{sel}} \bullet 1 \end{aligned}$$

Per determinare la sintesi minima si utilizza la mappa di Karnaugh:

$s_1 s_2$		00	01	11	10
sel	0	0	0	1	1
	1	0	1	1	0

Si considerino i raggruppamenti più grandi di uni che sono potenze di 2. Avendo 3 variabili si potranno trovare raggruppamenti da:

$$\begin{aligned} 2^0 &= 1 \text{ uno} \\ 2^1 &= 2 \text{ uni} \\ 2^2 &= 4 \text{ uni} \\ 2^3 &= 8 \text{ uni} \end{aligned}$$

Nella tabella precedente ci sono 3 raggruppamenti da 2 uni ognuno, evidenziati dalle ellissi. Per determinare la sintesi minima **AND-OR** si deve individuare il minimo numero di raggruppamenti che contengano tutti gli uni presenti nella tabella. Nel caso precedente si possono trovare 2 gruppi da 2 uni. Si osservi che in ogni caso i raggruppamenti individuati sono costituiti dalle celle adiacenti un quadrato o un rettangolo: non è possibile selezionare due elementi posti diagonalmente l'uno rispetto all'altro.

La regola generale per la selezione dei raggruppamenti consiste nello scegliere sempre quelli con il maggior numero di uni.

In questo caso sono stati scelti i due gruppi (blu/continuo e rosso/tratteggio) evidenziati nella mappa seguente.

Nel raggruppamento in rosso

$$s_1 = 1 \quad s_2 = \text{varia} \quad \text{sel} = 0 \quad \Rightarrow \quad s_1 \overline{\text{sel}} \text{ (implicante primo)}$$

Nel raggruppamento in blu

$$s_1 = \text{varia} \quad s_2 = 1 \quad \text{sel} = 1 \quad \Rightarrow \quad s_2 \text{ sel (implicante primo)}$$

$s_1 s_2$		00	01	11	10
sel	0	0	0	1	1
	1	0	1	1	0

Si ottiene così la sintesi minima attraverso l'OR dei termini trovati

$$u = s_1 \overline{\text{sel}} + s_2 \text{sel}$$

Nota: il processo di sintesi di Karnaugh è derivato da quello non minimo di Shannon, infatti per determinare la sintesi AND-OR di Shannon è sufficiente considerare gli uni della mappa presi singolarmente.

Il procedimento che ha permesso di individuare la sintesi minima a partire dai raggruppamenti di uni può essere così schematizzato:

1-per ogni raggruppamento le variabili che compaiono sia col valore 1 che col valore 0 non entrano a far parte del termine prodotto della sintesi minima corrispondente a quel raggruppamento;

2-le altre variabili possono assumere

valore 1 $\Rightarrow$ si prendono dirette

valore 0 $\Rightarrow$ si prendono negate.

Se si ha quindi una funzione di n variabili e si trova un raggruppamento di m uni (con $m < n$ per forza) il termine che si dovrà scrivere sarà composto di $n-m$ variabili.

E' per questo motivo che si deve scegliere sempre il raggruppamento con il maggior numero possibile di uni.

Es. Se si ha una funzione con 3 variabili e un raggruppamento da 2 uni, allora all'interno di quel raggruppamento una sola variabile non è costante e pertanto il termine da scrivere avrà due variabili.

c \ ab	00	01	11	10
0	0	0	0	0
1	0	1	1	0

Sintesi OR-AND

Per ottenere una sintesi OR-AND si procede in maniera **duale** raggruppando gli zeri della mappa di Karnaugh (e non gli uni).

Nel caso di sintesi OR-AND, lo schema precedentemente illustrato può essere così riassunto:

1-per ogni raggruppamento le variabili che compaiono sia col valore 1 che col valore 0 non entrano parte del termine della sintesi minima corrispondente a quel raggruppamento;

2-le altre variabili possono assumere

valore 1 $\Rightarrow$ si prendono negate

valore 0 $\Rightarrow$ si prendono dirette.

Es. Sia nota una funzione $f(x, y, z) = xy + x + z$ attraverso la corrispondente tabella di verità e sia stata determinata la mappa di Karnaugh della funzione:

$s_1 s_2$		00	01	11	10
sel	0	0	0	1	1
	1	1	1	1	1

In blu è evidenziato l'unico raggruppamento possibile composto da 2 zeri. E' immediato notare che:

- y varia
- $x = 0$
- $z = 0$

Pertanto il termine corrispondente è $x + z$.

La sintesi minima OR-AND risulta essere $f(x, y, z) = x + z$.

Ancora sul Multiplexer

In funzione del numero di segnali che si hanno in ingresso di dovranno avere un numero sempre maggiore di variabili di selezione.

Es. se si hanno 5 segnali in ingresso, le variabili di selezione dovranno essere almeno 3 poiché si devono avere almeno 5 combinazioni per selezionare ogni possibile ingresso.

Esiste poi un'altra rete logica duale del multiplexer chiamata demultiplexer che svolge l'operazione opposta. L'ingresso è costituito da una variabile ed al variare della selezione ingresso (*sel*) viene selezionata una variabile d'uscita che è posta uguale a quella di ingresso.

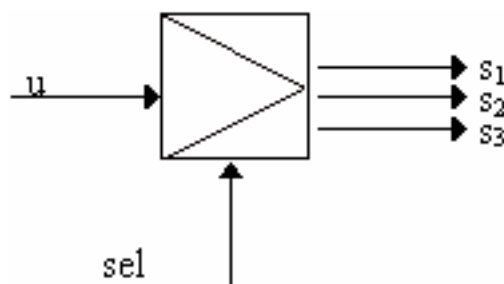
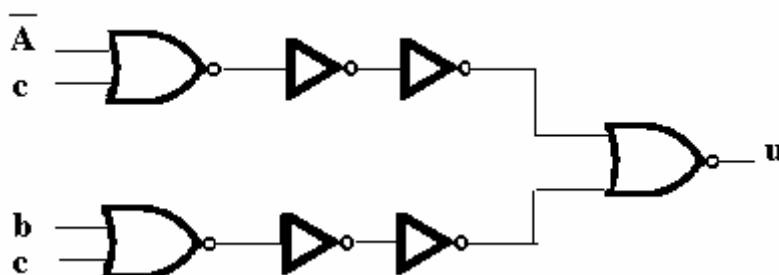


Tabella di verità di un demultiplexer:

S ₁	S ₂	Sel	U
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1



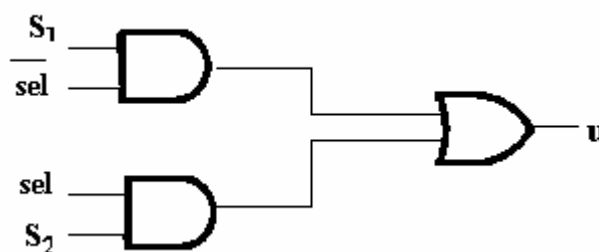
Si è visto che è possibile ricavare delle sintesi minime di tipo AND-OR o OR-AND per mezzo della mappe di Karnaugh. Ai fini di una realizzazione pratica del circuito è tuttavia preferibile realizzare delle sintesi NAND-NAND o NOR-NOR perché le porte NAND e NOR sono più facilmente costruibili in termini circuitali. Nella determinazione di queste due sintesi si fa uso del teorema di De Morgan.

Ad esempio la sintesi AND-OR precedentemente trovata era:

$$u = s_1 \overline{sel} + s_2 sel = \overline{\overline{s_1 \overline{sel}} + \overline{s_2 sel}}$$

$$\Rightarrow u = \overline{(s_1 \cdot sel) \bullet (\overline{s_2 sel})}$$

pertanto lo schema diviene:



Ovvero la sintesi AND – OR è equivalente a quella NAND · NAND
Con lo stesso procedimento è possibile passare da una sintesi minima OR-AND ad una equivalente NOR-NOR.

Es.

$$u = (s_1 + sel) \bullet (s_2 + \overline{sel}) = \overline{\overline{(s_1 + sel)} \bullet \overline{(s_2 + sel)}}$$

$$\Rightarrow u = \overline{\overline{(s_1 + sel)} + (s_2 + sel)}$$

6.3 Tempi di propagazione

Ogni porta logica viene realizzata con opportuni circuiti a transistori ogni circuito ha un tempo di propagazione finito. Supponendo di dover sommare due numeri di n bit, la somma del j-esimo bit non può iniziare se non si è fatta la somma dei bit in posizione j-1, perché occorre conoscere il riporto della somma precedente.

Se Δt è il tempo di ritardo di ogni livello, su ogni bit del sommatore si avrà un ritardo di $2\Delta t$ (perché vi sono due livelli per ogni bit). Pertanto su n bit il ritardo sarà di $2n\Delta t$.

In genere il tempo di ritardo è dell'ordine di

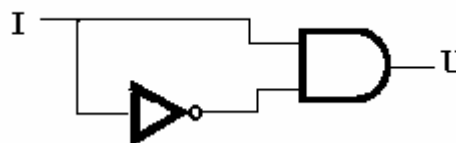
- 10^{-9} s per i circuiti integrati
- $[10^{-3} : 10^{-6}]$ s per componenti discreti

Vi sono inoltre circuiti sommatore più veloci che *prevedono* il riporto successivo e riducono i tempi di ritardo. Tali circuiti sono detti "Carry Look Ahead".

Si è già introdotto il concetto di tempi di propagazione. Tali tempi possono provocare degli errori logici temporanei detti alee, che sono dovuti al campionamento anticipato di un segnale in uscita.

Esempio 1

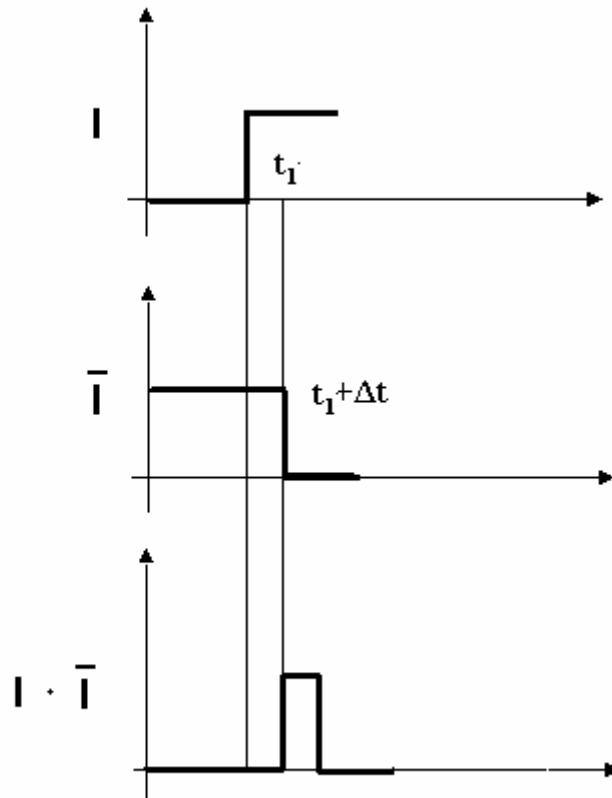
Si consideri il seguente circuito:



Questo circuito ha uscita sempre a 0 poiché

$$I \bullet \bar{I} = 0$$

Tuttavia dal punto di vista circuitale se al tempo t_1 l'ingresso I passa da 0 a 1, può verificarsi un'alea dovuto al tempo di ritardo della porta logica.



Il NOT avrà un tempo di ritardo pari a Δt , per cui $\bar{I}$ sarà 0 solo dopo $t_1 + \Delta t$

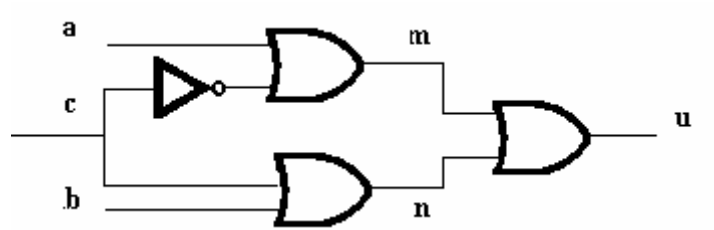
Se si considera l'AND:

- fino a t_1 è a 0;
- in t_1 , I subisce una variazione da 0 a 1, ma $\bar{I}$ è ancora a 1 a causa del ritardo. Pertanto l'AND riceve due segnali a 1 e restituisce 1 con un tempo di ritardo Δt paragonabile a quello del NOT: in $t_1 + \Delta t$ è pari a 1;
- tuttavia a $t_1 + \Delta t$, $\bar{I}$ va a zero: in $t_1 + 2\Delta t$ l'AND andrà a 0.

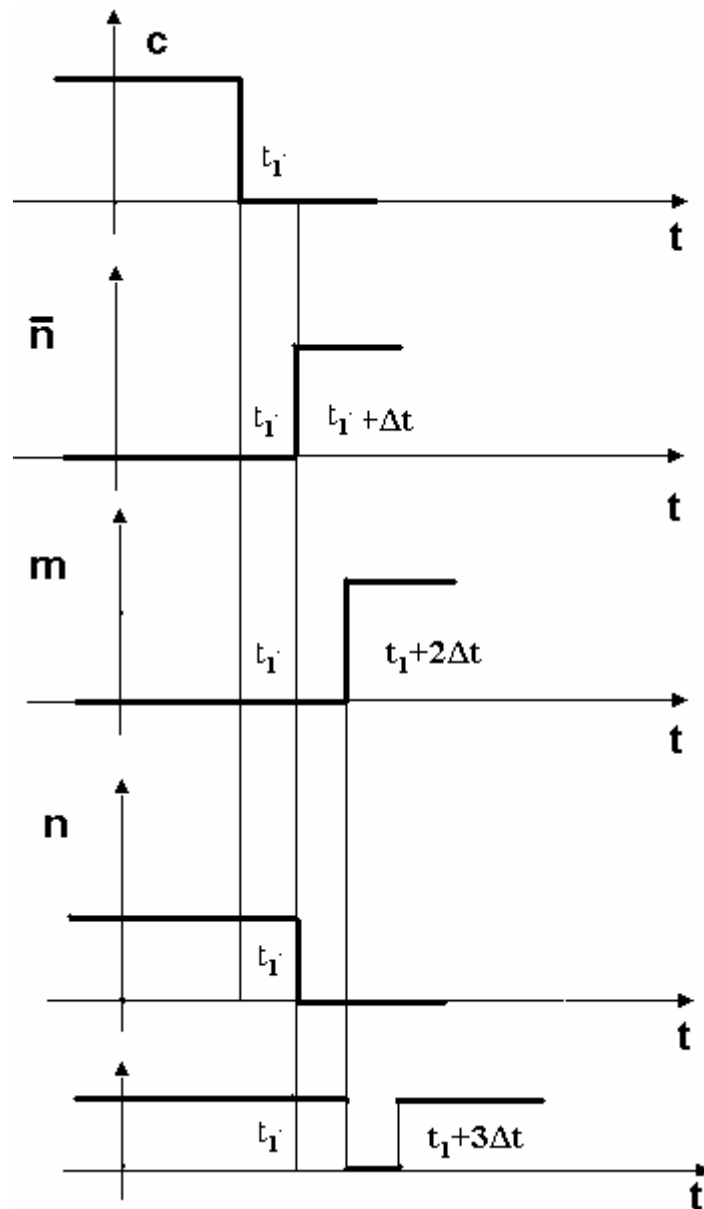
In definitiva, l'errore che si osserva è quello correlato all'uscita 1 dell'AND per un intervallo di durata Δt compreso fra $t_1 + \Delta t$ e $t_1 + 2\Delta t$. Tale errore è detto di alea.

Esempio2

Si consideri il seguente circuito



e si supponga che all'istante t_1 l'ingresso *c* passi da 1 a 0. In quell'istante le altre variabili non di ingresso (*m*, *n* e *out*) variano nel tempo come i seguenti grafici:



L'uscita è stabile solo dopo un tempo $t_1 + 3\Delta t$.

Se si determina al mappa di Karnaugh della funzione realizzata attraverso il circuito, si ottiene che

$$F = a\bar{c} + bc$$

Infatti si hanno due gruppi da 2 uni ciascuno:

C \ AB	00	01	11	10
	0	0	1	1
1	0	1	1	0

Se non facessi una sintesi minima, ossia se prendessi anche il terzo gruppo:

$$F = a\bar{c} + bc + ab$$

Il circuito risulterebbe più complesso, ma si sarebbe eliminata l'alea quando $a = b = 1$ e c passa da 1 a 0, poiché il termine ab è sempre 1.

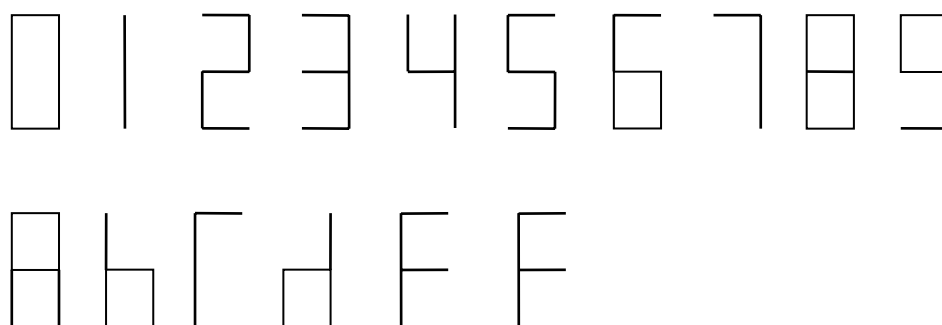
Eseguire sintesi non minime complica il circuito logico però può velocizzare la risposta ed eliminare eventuali alee.

Capitolo 7

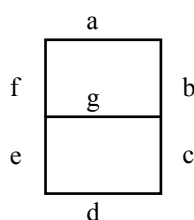
Esempi di sintesi di reti logiche combinatorie

7.1 Rete logica per la selezione dei seguenti di un display luminoso.

Si consideri un display formato da 8 segmenti luminosi in grado di rappresentare un numero esadecimale. Ad esempio:



Si definiscono i segmenti secondo la seguente convenzione; le lettere indicate accanto ai segmenti indicano il segnale che accende il corrispondente segmento luminoso.



Ci sono 4 variabili d'ingresso e 7 in uscita uno per ogni segmento.

La tabella della verità è la seguente: (si hanno 7 funzioni logiche, ognuna funzione di 4 variabili)

Numero esadecimale	A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1
A	1	0	1	0	1	1	1	0	1	1	1
B	1	0	1	1	0	0	1	1	1	1	1
C	1	1	0	0	1	0	0	1	1	1	0
D	1	1	0	1	0	1	1	1	1	0	1
E	1	1	1	0	1	0	0	1	1	1	1
F	1	1	1	1	1	0	0	0	1	1	1

Si consideri la sintesi della variabile *a* in uscita. La mappa di Karnaugh è la seguente:

BA \ DC	00	01	11	10
00	1	0	1	1
01	0	1	1	1
11	1	0	1	1
10	1	1	0	1

BA \ DC	00	01	11	10
00	1	0	1	1
01	0	1	1	1
11	1	0	1	1
10	1	1	0	1

In questo raggruppamento:

A varia B = 1
C varia D = 0

Pertanto

$\overline{BD}$ implicante primo

BA \ DC	00	01	11	10
00	1	0	1	1
01	0	1	1	1
11	1	0	1	1
10	1	1	0	1

In questo raggruppamento:

A varia B = 1
C = 1 D varia

Pertanto

BC implicante primo

BA \ DC	00	01	11	10
00	1	0	1	1
01	0	1	1	1
11	1	0	1	1
10	1	1	0	1

In questo raggruppamento (individuato sfruttando la ciclità):

$A = 0$ B varia
 C varia $D = 1$

Pertanto

$\overline{AD}$ implicante primo

BA \ DC	00	01	11	10
00	1	0	1	1
01	0	1	1	1
11	1	0	1	1
10	1	1	0	1

In questo raggruppamento (individuato sfruttando la ciclità):

$A = 0$ $B = 0$
 $C = 0$ D varia

Pertanto

$\overline{ABC}$ implicante primo

BA \ DC	00	01	11	10
00	1	0	1	1
01	0	1	1	1
11	1	0	1	1
10	1	1	0	1

In questo raggruppamento

$A = 0$ $B = 0$
 C varia $D = 1$

Pertanto

$\overline{ABD}$ implicante primo

BA \ DC	00	01	11	10
00	1	0	1	1
01	0	1	1	1
11	1	0	1	1
10	1	1	0	1

In questo raggruppamento

$A = 1$ B varia
 $C = 1$ $D = 0$

Pertanto

$AC\overline{D}$ implicante primo

introdurre la funzione sintesi minima

7.2 Sommatore binario

Si supponga di sommare due variabili binarie (due bit): il risultato è una variabile **carry** (il riporto). Il **carry**, con entrambi gli ingressi a 1, indica anche un errore di “overflow”.

L’errore di “overflow” è presente ogni volta che si cerca di rappresentare un numero con un numero di variabili (bit) insufficiente, infatti, il risultato della somma di due ingressi a 1 è:

$$1+1=10$$

che non è esprimibile con una sola variabile (ne servono due).

La tabella di verità risulta quindi:

a	b	s	carry
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

E’ immediato verificare che le due funzioni che sintetizzano **S** e **Carry** sono:

$$\begin{aligned} S &= a+b \\ \text{Carry} &= ab \end{aligned}$$

Questo tipo di sommatore è detto half-adder, poiché qualora si vogliano sommare due numeri rappresentati da più di un bit si deve avere in ingresso al semi sommatore anche il **carry** del bit precedente (sommatore).

In generale 2 numeri si rappresentano in forma binaria con **n** variabili booleane

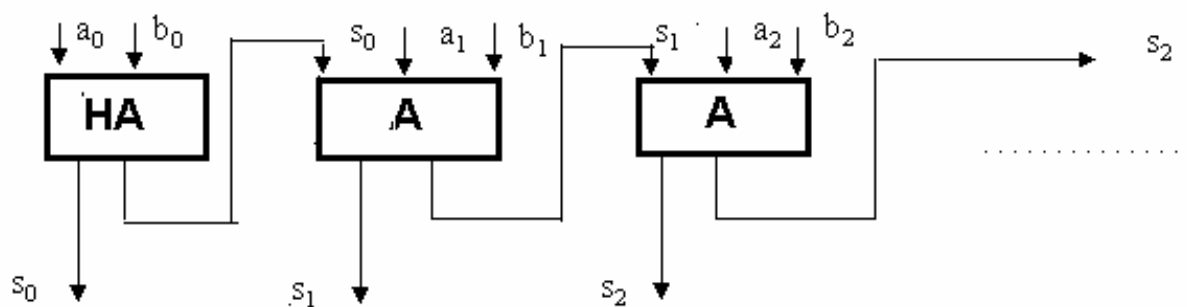
$$\begin{aligned} A &= [a_{n-1}, a_{n-2}, \dots, a_1, a_0] \\ B &= [b_{n-1}, b_{n-2}, \dots, b_1, b_0] \end{aligned}$$

a_0 e b_0 sono detti “Less Significant Bit” (LSB)

a_{n-1} e b_{n-1} sono detti “Most Significant Bit” (MSB)

Mentre per sommare i due LSB è sufficiente un “half-adder”; per gli altri bit occorre procedere impiegando dei sommatore “full adder”.

Lo schema di un sommatore binario è il seguente :



La tabella di verità di un “full adder” è la seguente:

a_i	b_i	Carry_{i-1}	S_i	Carry_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

La mappa di Karnaugh per S_i è:

$\begin{array}{c} a_i b_i \\ \text{Carry}_{i-1} \end{array}$	$a_i b_i$			
	00	01	11	10
0	0	1	0	1
1	1	0	1	0

Prendendo i 4 uni separatamente ed indicando Carry con la lettera c, si ricava la sintesi minima:

$$S_i = \overline{a_i} \overline{b_i} c_{i-1} + \overline{a_i} b_i \overline{c_{i-1}} + a_i \overline{b_i} \overline{c_{i-1}} + a_i b_i c_{i-1}$$

Si può così vedere che

$$S_i = a_i \oplus b_i \oplus c_{i-1} \quad (\text{funzione parità})$$

La mappa di Karnaugh per Carry_i è:

$a_i b_i$	00	01	11	10
$Carry_{i-1}$	0	0	1	0
1	0	1	1	1

Indicando ancora Carry con la lettera c, la sintesi minima derivante dalla scelta fatta per i gruppi è:

A B C									
D E	00	01	11	10	110	111	101	100	
	0	4	12	8	24	28	20	16	
	1	5	13	9	25	29	21	17	
	3	7	15	11	27	31	23	19	
	2	6	14	10	26	30	22	18	

Indicando ancora Carry con la lettera c, la sintesi minima derivante dalla scelta fatta per i gruppi è:

$$C_i = b_i c_{i-1} + a_i c_{i-1} + a_i b_i$$

Ogni sommatore è una funzione logica a 2 livelli.

Con un procedimento analogo a quello esaminato per costruire mappe K. per quattro variabili, nel caso di cinque variabili si ottiene la mappa K. di fig. che è costituita da due mappe K. per quattro variabili, affiancate.

Nel numerare le righe e le colonne si è sempre seguito il criterio di far differire caselle adiacenti per un solo valore delle variabili. In questo caso, comunque, anche caselle disposte simmetricamente rispetto alla linea verticale tratteggiata della fig. sovrastante, sono da considerarsi caselle adiacenti. Ad esempio m_7 è adiacente a m_{23} , m_{13} ad m_{29} , etc.

Restano valide le adiacenze esaminate per la mappe K. di 4 variabili; ad esempio m_1 ed m_9 , m_2 ed m_{10} sono adiacenti.

7.3 Decoder ed encoder

Un decoder è una rete logica che prende in ingresso n segnali ed associa a ciascuno di essi una delle 2^n possibili uscite.

Se $n = 3$ la tabella di verità risulta:

A	B	C	U ₁	U ₂	U ₃	U ₄	U ₅	U ₆	U ₇	U ₈
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Al contrario encoder ha uno solo segnale a 1 per ogni combinazione dell'ingresso, la sintesi dell'uscita di un decoder è semplice:

$$U_1 = \overline{A}\overline{B}\overline{C} = \overline{A + B + C}$$

$$U_2 = \overline{A}\overline{B}C = \overline{A + B + \overline{C}}$$

.....

Se si suppone di avere in ingresso tutte le variabili A,B e C e le loro negare, si ottiene una rete logica ad un solo livello.

7.4 Comparatore binario

Comparatore a 2 bit

E' un circuito che consente di determinare se due numeri ad un bit (A e B) sono uguali o se uno è maggiore dell'altro.

A	B	Q_L	Q_G	Q_E
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

Se l'uscita Q_G è uguale a 1, allora A=B

Se l'uscita Q_E è uguale a 1, allora A<B

Se l'uscita Q_L è uguale a 1, allora A>B

Ovvero:

$$Q_L = \overline{AB}$$

$$Q_E = \overline{BA}$$

$$Q_G = A \otimes B$$

Comparatore a più bit

Si considerino due numeri di n bit:

$$\begin{array}{ccccccc} a_n & a_{n-1} & \dots & a_1 & a_0 \\ b_n & b_{n-1} & \dots & b_1 & b_0 \end{array}$$

Si procede confrontando i due MSB:

- Se sono diversi si distinguono due casi:

$$a_n > b_n \quad \Rightarrow A > B$$

$$a_n < b_n \quad \Rightarrow A < B$$

ed il confronto termina.

- Se sono uguali, cioè:

$$a_n = b_n$$

si procede al confronto dei due bit immediatamente meno significativi (a_{n-1} , b_{n-1}) secondo lo stesso schema.

Per poter concludere che A=B tutti i bit devono essere uguali.

L'i-esimo confronto avrà in ingresso i due bit a_i e b_i ed il riporto del confronto $i+1$ (C_{i+1}) e determinerà Q_L, Q_E, C_i (riporto i^{uno}).

a_i	b_i	C_{i+1}	Q_L	Q_E	C_i
0	0	1	0	0	1
0	1	1	1	0	0
1	0	1	0	1	0
1	1	1	0	0	1
--	--	0	0	0	0

Se $C_{i+1}=1 \Rightarrow$ abilito il confronto fra a_i e b_i

se $a_i > b_i \Rightarrow Q_L = 1$

se $a_i < b_i \Rightarrow Q_E = 1$

se $a_i = b_i \Rightarrow C_i = 1$

Se $C_{i+1}=0$, indipendentemente dal valore di a_i e b_i , il risultato è zero.

La mappa di Karnaugh per C_i risulta

$a_i \ b_i$		00	01	11	10
C_{i+1}	0	0	0	0	0
	1	1	0	1	0

Pertanto

$$C_i = \overline{a_i b_i c_{i+1}} + a_i b_i c_{i+1}$$

Analogamente per Q_L e Q_E

$$Q_L = \overline{a_i b_i c_{i+1}}$$

$$Q_E = a_i \overline{b_i c_{i+1}}$$

FIG schema del comparatore

Il riporto iniziale (C) è posto a 1.

7.5 Controllo di un impianto di condizionamento

E' una rete che ha in ingresso 2 variabili booleane I e T .

$I \Rightarrow$ interruttore di abilitazione dell'impianto.

$T \Rightarrow$ valore di temperatura.

In uscita vi è il segnale C :

se $C=1 \Rightarrow$ l'impianto è acceso

se $C=0 \Rightarrow$ l'impianto è spento

La variabile T deriva dal confronto della temperatura rilevata da un sensore (ad esempio una termocoppia) opportunamente discretizzata nel tempo e nell'ampiezza con un valore T_0 di riferimento.

se temperatura $(\leq T_0) \Rightarrow T=1$

se temperatura $(T > T_0) \Rightarrow T=0$

La tavola di verità è la seguente:

I	T	C
0	--	0
1	0	0
1	1	1

Se $I = 0$ indipendentemente da T l'impianto rimane spento.

Se $I = 0$ e $T = 0$ l'impianto è abilitato ma la temperatura è troppo alta ,perciò l'impianto è spento.

Se $I = 0$ e $T = 1$ l'impianto è abilitato e la temperatura è bassa, allora occorre accendere l'impianto $\Rightarrow C = 1$.

La sintesi di C è banale e risulta l'AND fra I e T :

$$C = I \bullet T$$

Capitolo 8

Rappresentazione binaria dei numeri negativi

Si supponga di avere a disposizione 4 bit, allora il numero positivo che è possibile rappresentare è compreso fra 0 e 15.

Se si utilizza il bit più significativo MSB per indicare il segno e gli altri 3 bit per il modulo, allora i numeri che si possono rappresentare sono:

0111	7
0110	6
0101	5
0100	4
0011	3
0010	2
0001	1
0000	0
1000	0
1001	-1
1010	-2
1011	-3
1100	-4
1101	-5
1110	-6
1111	-7

Questa rappresentazione presenta un problema connesso all'impiego di due codici differenti per la rappresentazione dello 0 decimale.

Pertanto viene impiegata la rappresentazione con codici a complemento.

Si definisce **complemento a R di un numero N espresso in base R con K cifre**:

$$C_R(N) = R^K - N$$

Nel caso in cui N sia espresso con K bit e sia in base (i.e. $R=2$) :

$$C_2(N) = 2^K - N$$

Inoltre si ha che

$$C_{R-1}(N) = R^K - N + 1$$

e quindi

$$C_R(N) = C_{R-1}(N) + 1$$

Il complemento a 2 di un numero binario è pari al complemento a 1 a cui si somma 1:

$$C_2(N) = C_1(N) + 1$$

Pertanto per eseguire il complemento a 2 di un numero binario (0100) si invertono singolarmente tutti i bit e si somma 1 al numero così ottenuto.

$$\begin{array}{r} 1011 + \\ 0001 = \\ \hline 1100 \end{array}$$

1100 è il complemento a 2 di 0100.

I codici a complemento rappresentano i numeri negativi con il loro complemento a 2.

Per trovare -2 è sufficiente determinare il complemento a 2 del numero 2 (in binario: 0010):

$$\begin{array}{r} 1101 + \\ 0001 = \\ \hline 1110 \end{array}$$

Pertanto si avrà:

0111	7
0110	6
0101	5
0100	4
0011	3
0010	2
0001	1
0000	0
1111	-1
1110	-2
1101	-3
1100	-4
1011	-5
1010	-6
1001	-7
1000	-8

Avendo a disposizione k bit si possono così rappresentare i numeri nell'intervallo

$$[-2^{k-1}, 2^{k-1}-1]$$

Un ulteriore vantaggio connesso all'impiego di codici a complemento è che le operazioni di sottrazione divengono somme.

$$1 - 2 = 1 + (-2)$$

$$\begin{array}{r} 0001 + \\ 1110 = \\ \hline 1111 \end{array} \quad \text{che è -1}$$

Nell'algoritmo 'sommatore' si ha inoltre il controllo di "overflow".

Es. Il risultato della somma algebrica di -3 e -6 non è rappresentabile con 4 bit:

$$\begin{array}{r} 1101 + \\ 1010 = \\ \hline 10111 \end{array}$$

Eliminando il primo bit si otterrebbe 7 anziché -9.

Il controllo di overflow viene eseguito attraverso l'analisi EXOR dei reparti

$$\text{Overflow} = C_{n-1} \otimes C_n$$

Ove $n = 4$, infatti se gli ultimi 2 reparti sono diversi, allora si è ottenuto un numero non rappresentabile con i bit a disposizione (4 nell'esempio).

Capitolo 9

Reti sequenziali

9.1 Introduzione

Immaginiamo di aver bisogno di un sistema che tenga conto della “storia” passata e sia in grado di rispondere con uscite differenti ad uno stesso ingresso a seconda della evoluzione precedente. Sarà necessario che il nostro sistema abbia memoria della storia passata per far sì che questa possa condizionare il comportamento ingresso/uscita.

Strutture che realizzano queste funzionalità sono dette *reti o macchine sequenziali*.

Ad esse è associato uno stato interno che cambia in funzione della “storia” della macchina. Si utilizza il nome macchina per la somiglianza con le macchine meccaniche nelle quali lo stato è memorizzato dalla posizione degli ingranaggi.

Le macchine sequenziali sono quindi strutture che realizzano il seguente sistema di equazioni logiche:

$$\begin{aligned} \mathbf{S}(t+1) &= f_S[\mathbf{I}(t), \mathbf{S}(t)] \\ \mathbf{O}(t) &= f_O[\mathbf{I}(t), \mathbf{S}(t)] \end{aligned}$$

oppure :

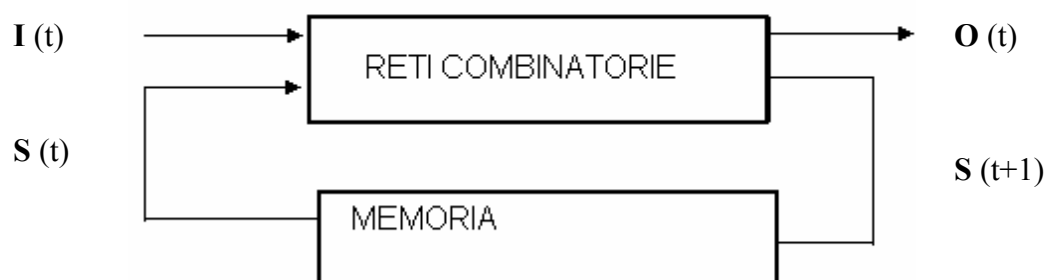
$$\begin{aligned} \mathbf{S}(t+1) &= f_S[\mathbf{I}(t), \mathbf{S}(t)] \\ \mathbf{O}(t) &= f_O[\mathbf{S}(t)] \end{aligned}$$

dove $\mathbf{I}(t)$ è il vettore degli ingressi, $\mathbf{S}(t)$ quello dello stato e $\mathbf{O}(t)$ quello delle uscite.

Con t e $(t+1)$ si sono convenzionalmente indicati due intervalli di tempo successivi.

Per realizzare una macchina saranno quindi necessarie due Reti Combinatorie (RC) per realizzare la $f_S[\cdot]$ e la $f_O[\cdot]$ ed una Memoria (M) che conservi lo stato corrente.

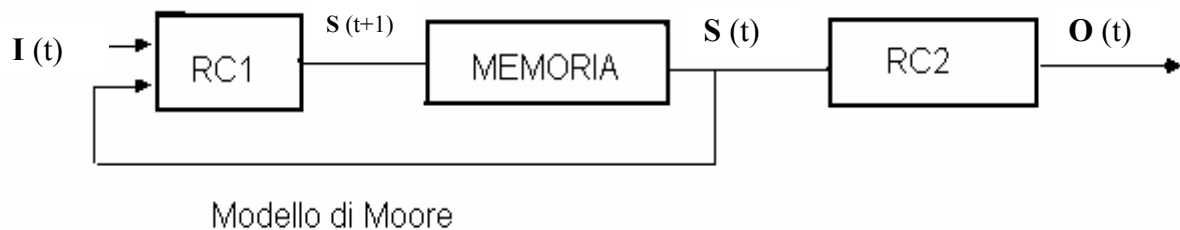
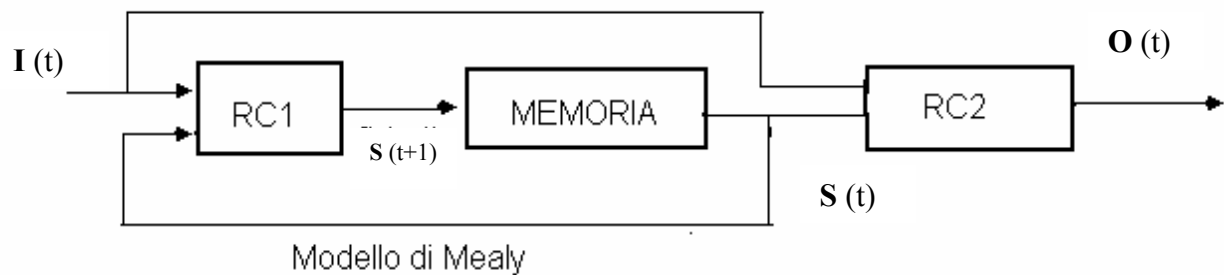
Uno schema del tutto generale di una macchina sequenziale è dato da:



Le macchine sequenziali si differenziano a seconda del sistema logico che ne determina il funzionamento. La differenza sta nel modo in cui viene calcolata l'uscita: nel caso della figura

precedente essa viene calcolata dallo stato e dall'ingresso mentre nelle figure seguenti è associata unicamente allo stato.

I due tipi di funzionamento vengono chiamati: modello di **Mealy** (il primo) e modello di **Moore** (il secondo):



Come è facilmente comprensibile e come verrà mostrato in seguito introducendo o eliminando degli stati si può trasformare una macchina di Mealy in una macchina di Moore e viceversa.

I criteri di scelta del tipo di modello da utilizzare appariranno chiari una volta note le fasi di progetto di una macchina sequenziale.

Si supponga ora che il tempo di attraversamento della prima RC e della memoria M sia uguale a Δ . E' evidente che se non si interviene in qualche modo per interrompere il cammino della reazione dello stato, dopo un tempo pari a Δ , in ingresso alla prima RC non ci sarà $S(t)$ ma $S(t+1)$.

Dopo un certo ritardo la prima RC presenterà in uscita il valore $S(t+2)$ che, dopo un tempo complessivo pari a Δ , sarà di nuovo presente in ingresso. Corrispondentemente, la seconda RC calcolerà, dopo un certo ritardo, le uscite O .

Il processo si ferma quando si raggiunge una situazione nella quale:

$$S(t+1) = S(t) = f_S [I(t), S(t)]$$

Con questo tipo di funzionamento il sistema risponde ad un cambiamento dell' ingresso **I** in qualsiasi momento esso avvenga, ma può presentare diversi problemi.

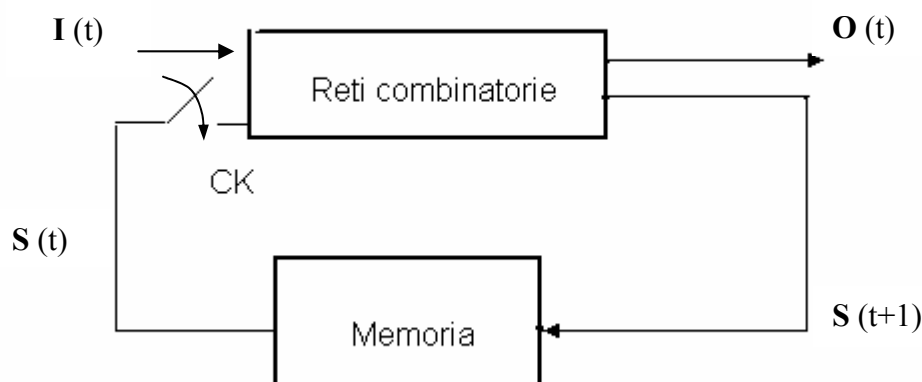
Per esempio, poiché RC ha diverse linee in uscita, non è affatto garantito che i dati in uscita assumano valori significativi tutti nello stesso istante. Ciò può provocare un errore mandando la macchina in uno stato non previsto. Per risolvere questo tipo di problemi le macchine vengono spesso realizzate in maniera ridondante analizzando tutte le possibili soluzioni che generano un errore.

Il funzionamento appena descritto è detto *asincrono* e le macchine che lo utilizzano sono dette macchine sequenziali asincrone.

Un' alternativa a questo funzionamento è quella di intervenire con una sincronizzazione sul percorso di reazione del segnale di stato.

Un segnale periodico detto clock (CK) in ogni suo periodo T è composto da un livello alto di durata Δt_1 e uno basso di durata Δt_0 . Il rapporto $\frac{\Delta t_1}{T}$ è detto **Duty – Cycle**.

In linea di principio si cerca di controllare con il segnale di CK degli interruttori posti nel sistema come nella seguente figura:



Quando il clock è attivo (generalmente sul livello alto), gli interruttori vengono chiusi e in ingresso alla rete combinatoria si presentano **S (t)** e **I (t)** che si suppone rimangano immagazzinate per un certo tempo in ingresso alla rete. Appena il clock non è più attivo tutto ciò che succede a **I (t)** e all'uscita della Memoria non influenza più la rete combinatoria.

Questo tipo di funzionamento, che forza le transizioni di stato ad avvenire in un istante preciso, è detto *sincrono*.

L' argomento portato a favore dell'utilizzo di macchine asincrone è il fatto che esse teoricamente sono più veloci perché reagiscono non appena un ingresso cambia, mentre le macchine sincrone devono comunque aspettare che il clock sia attivo.

In realtà, potendo ormai disporre di componenti sincronizzabili da clock con periodo di centinaia di MHz, si preferisce in genere l'uso di macchine sincrone, più facili da sintetizzare e più sicure.

Per questa ragione verranno affrontate le macchine sincrone.

Ad un più dettagliato esame del comportamento sincronizzato descritto in precedenza si può comprendere come, detti Δt_{RC} e Δt_M i tempi di attraversamento di RC e M ($t_{RC} + \Delta t_M = \Delta$), il periodo di clock e il tempo di clock attivo non possono essere scelti a caso.

Il clock deve rimanere attivo un tempo sufficiente affinché la prima RC generi le sue nuove uscite, ma non lungo abbastanza da far passare $S(t+1)$ attraverso il blocco M e ripresentarsi in ingresso al blocco RC, per cui si ottiene:

$$t_h < \Delta t_1 < \Delta t_{RC} + \Delta t_M$$

dove con t_h si indica il tempo per il quale si deve tenere (hold) fisso il segnale in ingresso a RC affinché essa “senta” la sua presenza.

Per esempio t_h potrebbe essere identificato con il tempo necessario a caricare la capacità in ingresso di RC.

Il periodo di clock deve essere poi sufficientemente lungo affinché $S(t+1)$ sia pronto in uscita del blocco M al presentarsi del nuovo istante di clock attivo.

Inoltre, se la memoria è realizzata con celle non autorigenerative (per esempio, caricando o no una capacità), T dovrà essere più breve del tempo t_r nel quale la memoria perde la sua informazione, detto tempo di rinfresco (refresh). Per cui:

$$\Delta t_{RC} + \Delta t_M < \Delta t < t_r$$

Se $t_r < \infty$ la memoria si dice dinamica ed il suo contenuto deve essere restaurato (rinfrescato, da cui il termine utilizzato prima) periodicamente.

Viceversa se t_r può tendere ad infinito con la sola condizione che non si interrompa l'alimentazione di M, la memoria si dirà statica.

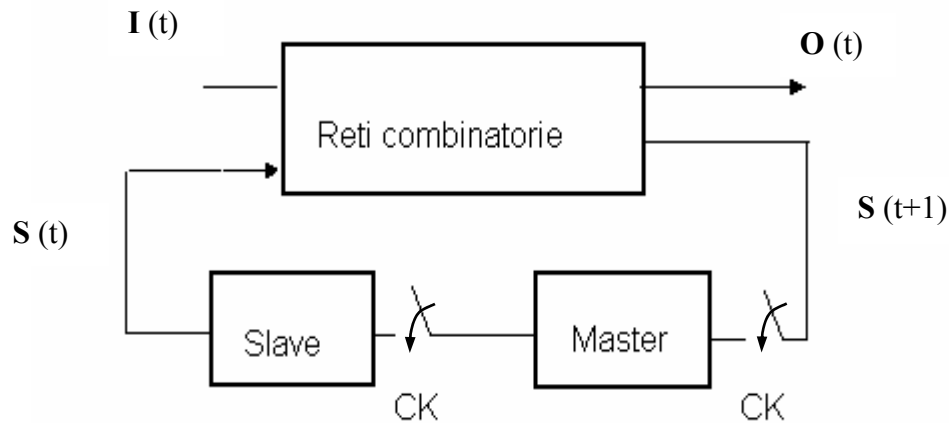
Per superare i problemi imposti dai vincoli bilaterali sulla temporizzazione, si modifica il funzionamento delle macchine sincrone introducendo un altro segnale di clock dello stesso periodo del primo, ma tale che non si verifichi in nessun istante la presenza dello stato attivo in entrambi i clock, ossia che sia sempre:

$$CK_1(t) \cdot CK_2(t) = 0$$

Con l'uso di due fasi attive di clock si separa la fase di scrittura nella memoria dalla fase di lettura della memoria.

Si può cioè schematizzare tale funzionamento come in figura sottostante, dove si è sottinteso che un adeguato meccanismo di immagazzinamento per esempio nella capacità parassite di ingresso del circuito di “buffer” e delle RC, contribuisca a non far perdere l'informazione.

Questo tipo di funzionamento è detto **Master-Slave (MS)**



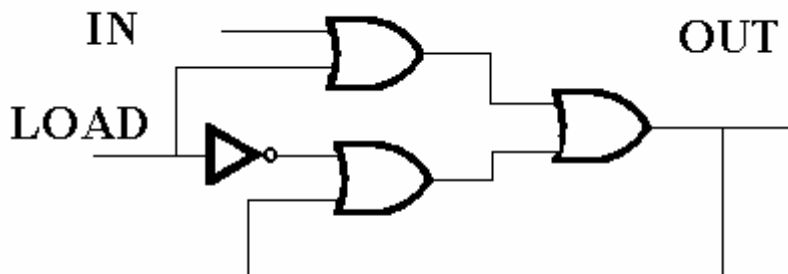
In questo caso, nel blocco M si utilizzano dei componenti composti da due stadi di memoria in cascata. Il primo, detto Master, legge e memorizza il dato durante Δt_0 , mentre, evidentemente, il secondo stadio, detto Slave, non è abilitato a cambiare il suo contenuto.

Al termine di Δt_0 , il Master viene disabilitato a leggere, mentre il secondo stadio legge l'uscita del Master e la offre come sua uscita. Il Master legge l'uscita durante Δt_0 senza che l'uscita di M possa cambiare; lo Slave scrive in uscita il contenuto di M quando questo è reso insensibile ai suoi ingressi.

In conclusione: una macchina sequenziale si dice **asincrona** se cambia il suo stato in istanti determinati dal cambiamento degli ingressi. Si dice invece **sincrona** quando essa permane in uno stato per un numero intero di intervalli di tempo scanditi da un segnale (non necessariamente periodico, anche se questa è una situazione comoda) detto clock.

Esempio di elemento di memoria

Si consideri la seguente rete logica a 3 livelli:



La tabella di verità è:

IN	LOAD	OUT
0	1	0
1	1	1
–	0	O (t -2Δt)

Nota: Δt è il tempo di ritardo di ogni livello logico.

Pertanto:

- Se load = 1 allora O (t) è uguale a IN e viene dunque memorizzato il valore di IN. Il secondo AND ha infatti in ingresso $\overline{\text{load}}$, cioè zero (fase di scrittura).
- Se load = 0 allora $\overline{\text{load}} = 1$ e O (t) risulta essere uguale a se stesso: O all'istante t sarà uguale a O all'istante t-2Δt, essendo Δt il ritardo di ciascun livello logico (fase di mantenimento).

Essendo Δt il ritardo di ogni livello logico, si può campionare il dato in uscita solo 3Δt dopo l'attivazione del load; agendo in modo diverso si verificherebbe un errore (alea).

Il segnale load controlla dunque se scrivere un nuovo dato (il valore di IN) oppure se mantenere quello già esistente.

Questo è un circuito di tipo *latch* in cui si può leggere o scrivere al variare di load (segnale di controllo).

Pertanto:

- se load = 0 $\Rightarrow$ Il valore memorizzato è mantenuto
- se load = 1 $\Rightarrow$ Viene scritto il dato nell'elemento di memoria.

Il latch è un circuito asincrono e costituisce un elemento di memoria.

9.2 Celle elementari di memoria statiche

Gli elementi di una memoria statica possono essere di due tipi fondamentali: **latch** o **Flip-Flop (FF)**. I latch sono elementi di memoria trasparenti, nel senso che la loro uscita cambia, quando un comando è attivo, con il cambiare dell'ingresso (dopo un tempo di propagazione).

I FF leggono l'ingresso in un intervallo di tempo diverso da quello nel quale cambia l'uscita.

I FF quindi realizzano una cella di memoria a struttura Master Slave (SR), mentre i latch no.

Agli elementi di memoria si richiede la possibilità di compiere le seguenti quattro operazioni:

- generare l'uscita pari a 1 (Set)
- generare l'uscita pari a 0 (Reset)
- mantenere l'uscita precedente (Hold)
- negare l'uscita precedente (Toggle).

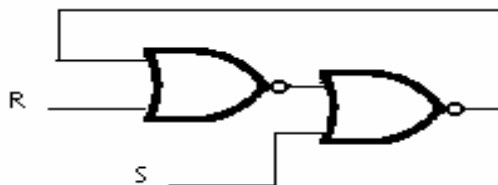
I vari elementi di memoria vengono classificati a seconda di quali tra le azioni indicate possono essere compiute.

L'elemento più semplice è il latch SR. Le possibilità di un latch SR sono quelle di generare in uscita un 1, uno 0 oppure mantenere l'uscita precedente. Sono evidentemente necessari due ingressi detti (Reset) e (Set) e la tabella di verità è la seguente, dove con Δt si è indicato il tempo di ritardo della cella e con Q (t) l'uscita all'istante t.

Tabella di verità:

S(t)	R(t)	Q(t+Δt)
0	0	Q(t)
0	1	0
1	0	1
1	1	Non usata

Quindi l'ingresso $S=1$ fa commutare l'uscita a 1, l'ingresso $R=1$ fa commutare l'uscita a 0 e $S=R=0$ lascia l'uscita uguale a quella precedente. La combinazione $R=S=1$ non è usata perché, per come vengono realizzati, i latch SR produrrebbero un'uscita indefinita. Infatti, il latch SR è realizzato con due porte NOR nella configurazione seguente:



Il funzionamento di questo latch diviene chiaro non appena si considera il fatto che, se uno degli ingressi ad una porta NOR è uguale a 1, l'uscita della porta è, a prescindere dall'altro ingresso uguale a zero; se, invece, un ingresso è pari a zero la porta NOR si comporta come un invertitore per l'altro ingresso. L'ingresso ad 1 è cioè forzante.

Si può capire allora come, ponendo in ingresso $R = S = 1$, si otterrebbe in uscita $\bar{Q} = Q = 0$ il che viola la necessità di avere un'uscita e la sua negata. Inoltre, se noi facessimo ritornare R e S a zero nello stesso istante, Q e $\bar{Q}$, pur rimanendo uguali tra di loro, comincerebbero ad oscillare tra i valori 0 e 1.

Nel caso reale i tempi di ritardo delle due porte NOR non sono mai identici per cui l'oscillazione cesserebbe e le uscite si disporrebbero casualmente nelle due configurazioni possibili dipendendo dall'istantanea differenza nei tempi di propagazione dei due NOR. Si noti, per inciso, che si può per dualità ottenere un latch SR utilizzando porte NAND invece che NOR e sostituendo S, R e Q con $\bar{S}$, $\bar{R}$, $\bar{Q}$. In questo caso sarebbe forzante l'ingresso 0.

Il latch SR può essere sintetizzato secondo un procedimento solo apparentemente simile a quello usato per le reti combinatorie: esso è in realtà concettualmente differente.

Per quanto semplice in realtà il latch SR è pur sempre una macchina sequenziale: se, infatti, $S = R = 0$ la sua uscita rimane immutata, pari cioè a quella precedente. E' questo l'effetto del dover considerare non solo gl'ingressi, ma anche lo stato della macchina quando se ne vuole descrivere l'evoluzione. Ci limitiamo a descrivere il procedimento della sintesi.

Si dovrà, prima di tutto, individuare lo stato (che ora chiameremo $X(t)$ anziché $S(t)$ per comodità di scrittura) che la macchina può assumere. In questo caso sono due, per i quali è sufficiente una codifica ad un solo bit, che chiameremo X. Quindi si costruirà una mappa che rappresenti il valore del prossimo stato $X(t + \Delta t)$ come risultato dello stato attuale $X(t)$ e degli ingressi.

Tenendo conto che $S = R = 1$ non è una configurazione ammissibile e può essere trattata come una indifferenza, si ottiene la mappa di Karnaugh. (figura seguente).

SR		00		01	11	10
x	0	0	0	0	X	1
	1	1	0	0	X	1

Sia che si leggano gli 1 che gli 0 dalla mappa si ottiene la soluzione seguente:

$$X_{\text{next}} = \overline{R} (S + X)$$

Le due relazioni sono sintetizzate nelle figure a) e b) ove si è conseguito il passaggio a strutture di tipo NAND-NAND o NOR-NOR.

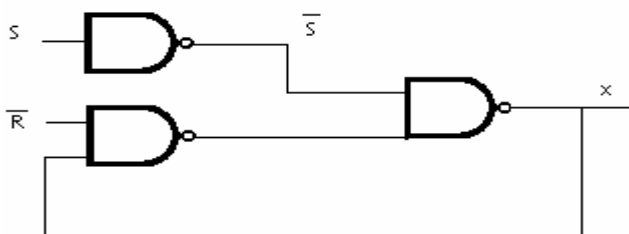
I latch risultano macchine asincrone: la loro particolarità è che qualunque combinazione ammessa in ingresso forza e mantiene la macchina in una situazione nella quale è soddisfatta la relazione $x(t+1) = x(t) = f_x [u(t), x(t)]$ (vista precedentemente).

In questo caso la sintesi della macchina ha prodotto la cella di memoria dello stato (il latch stesso), la RC_1 è composta dai soli fili che portano S e R e la rete combinatoria RC_2 di uscita realizza la funzione:

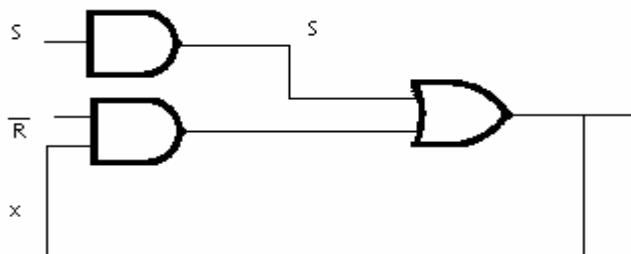
$$Q = X$$

Ed è anch'essa costituita da un filo.

a)



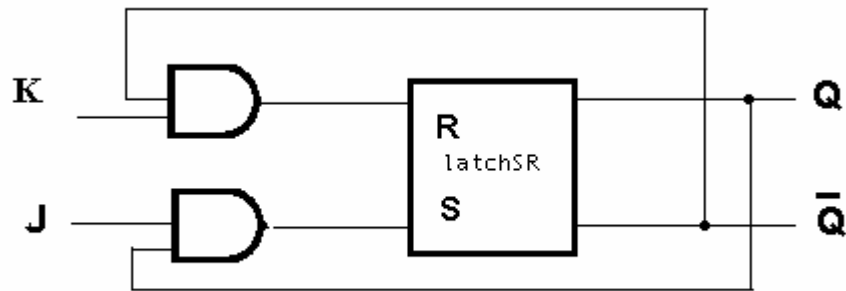
b)



I latch in commercio hanno anche un ingresso di controllo (ENABLE) che, se non attivo, disabilita gli ingressi SR dal modificare l'uscita del latch.

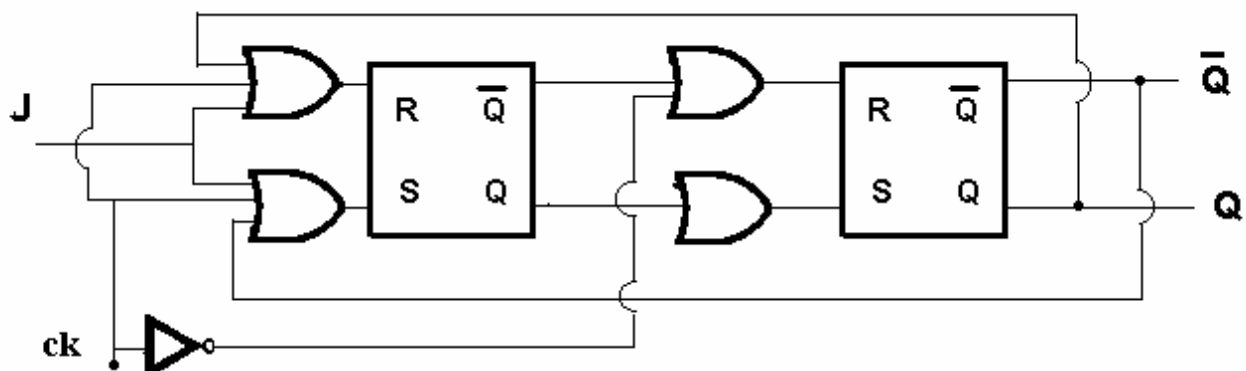
Il problema d'ingresso $R = S = 1$ non ammesso viene risolto nei FF di tipo JK (JKFF) che utilizzano questa configurazione del codice di ingresso per realizzare le funzioni di toggling non presente negli SR.

Si aggiungano ad un latch SR due porte AND sugli ingressi e si riportino su di esse le uscite, come viene indicato nella figura sottostante. L'ingresso di controllo (Ck) può essere aggiunto a governare la risposta degli AND di ingresso:



In questo modo, gli ingressi interni S e R non possono mai essere entrambi pari a 1. Se vogliamo ottenere un FF da questo elemento appena disegnato dovremo introdurre un segnale che ne governi il funzionamento secondo la struttura MS. La figura sovrastante non risolve quindi il problema.

La cella a struttura MS viene realizzata mettendo in cascata due stadi (come nella figura seguente) che vengono controllati da CK e da $\overline{CK}$ rispettivamente.



Non appena il Clock va a zero $\overline{CK}$ va ad 1 il secondo stadio legge P e $\overline{P}$ e modifica le sue uscite che però non influenzano il primo stadio finché il CK non torna ad 1.

Si noti che RC_1 è formata dai quattro AND e dall'invertitore, mentre RC_2 è formata dai fili. I due latch SR sono la memoria della macchina.

Latch di tipo SET/RESET

E' un dispositivo che ha in ingresso due segnali, SET (i.e. S) e RESET (i.e. R).

Se $S = 0$ e $R = 0 \Rightarrow Q(t) = Q(t-1)$

Se $S = 0$ e $R = 1 \Rightarrow Q(t) = 0$

Se $S = 1$ e $R = 0 \Rightarrow Q(t) = 1$

Il latch set/reset non ammette entrambi gli ingressi siano a 1.

La tabella di verità è la seguente:

S(t)	R(t)	Q(t)
0	0	$Q(t-1)$
0	1	0
1	0	1
1	1	—

La sintesi dello stato (i.e. $Q(t)$) precedente attraverso la mappa di Karnaugh è:

		R(t)			
		00	01	11	10
Q(t-1)	0	0	0	—	1
	1	1	0	—	1

Occorre considerare che l'uscita $Q(t)$ dipende dal valore di r e s al tempo t e da $Q(t-1)$.

Se si considera l'indifferenza nelle uscite come equivalenti ad 1 è possibile determinare la sintesi minima come:

$$Q(t+1) = s(t) + Q(t)\overline{R(t)}$$

Facendo una sintesi NAND-NAND:

$$Q(t+1) = \overline{\overline{s(t)}(\overline{Q(t)\overline{R(t)}})}$$

Si preferisce però realizzare il SET/RESET in maniera diversa in modo tale da avere a disposizione sia Q che $\overline{Q}$.

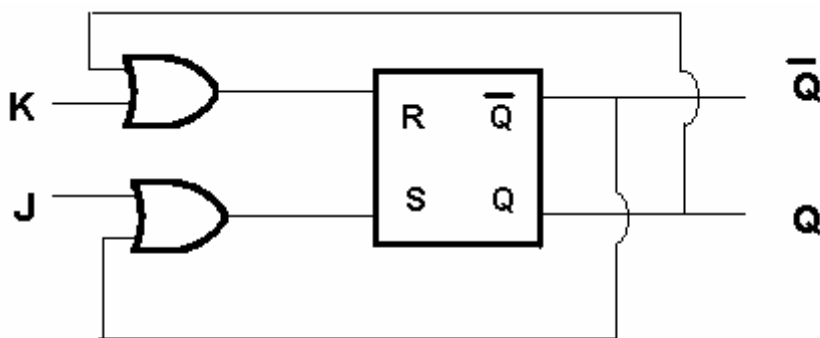
Questo latch è una macchina asincrona, si vedrà poi come sincronizzarla con metodo MASTER-SLAVE.

Latch di tipo J/K

La tabella di verità è la seguente:

J	K	Q(t)
0	0	$Q(t-1)$
0	1	0
1	0	1
1	1	$\overline{Q}(t-1)$

Il latch JK si può ricavare dallo schema di un SET/RESET in questo modo:



- Se $J=0=K \Rightarrow Q(t) = Q(t-1)$
- Se $J=1$ e $K=0$ ho la funzione SET
- Se $J=0$ e $K=1$ ho la funzione RESET
- Se $J=1=K \Rightarrow$ ho due casi: $Q=1 \Rightarrow S=0 \ R=1 \Rightarrow Q=0$
oppure
 $Q=0 \Rightarrow S=1 \ R=0 \Rightarrow Q=1$

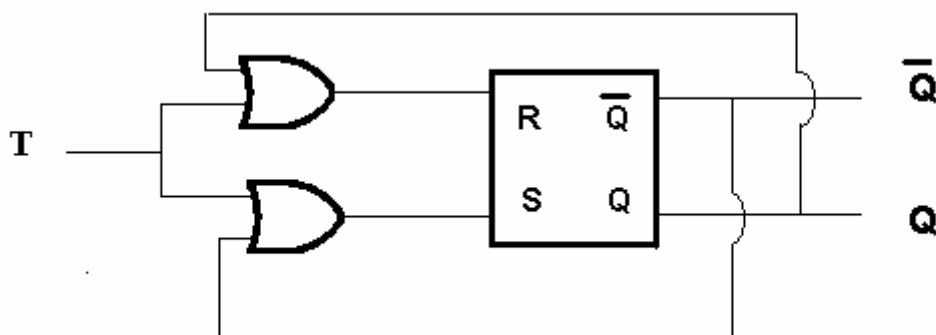
Nota: $J \equiv S$ e $K \equiv R$

Latch di tipo T

E' un latch con un solo ingresso che svolge le funzioni di hold e toggle. Si ottiene dal JK collegando assieme gl'ingressi J e K. La tavola di verità è la seguente:

T	Q(t)
0	Q(t-1)
1	$\overline{Q}(t-1)$

Schema di tipo latch:

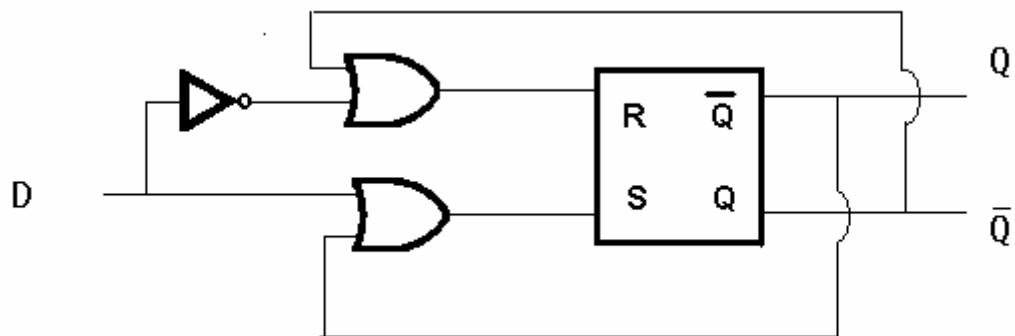


Latch di tipo D

La tavola di verità è:

D	Q(t)
0	0
1	1

La rete logica del latch di tipo D è la seguente:



9.3 Sincronizzazione di elementi di memoria di tipo latch

Per rendere sincrono un latch si introduce un segnale di clock negli AND al primo livello.
Analizziamo il latch JK (il comportamento per i latch RS, T e D può essere ricavato analogamente).
La tabella di verità del JK si modifica nel seguente modo:

- _ Se $CK = 1 \Rightarrow$ funziona come prima
- _ Se $CK = 0 \Rightarrow$ indipendentemente da J e K si mantiene il valore $Q(t)$ (hold)

Tabella di verità:

J	K	CK	Q(t+1)
0	0	1	Q(t)
0	1	1	0
1	0	1	1
1	1	1	$\overline{Q}(t)$
—	—	0	Q(t)

Si noti che l'inserimento del clock nel latch di tipo D rende evidente come esso svolga la funzione di ritardo:

- Se $CK = 1$ $Q(t+1) = D$
- Se $CK = 0$ $Q(t+1) = Q(t)$.

Flip-flop

Si è vista la prima categoria di Flip-Flop, detta “Level Triggered”. Tale categoria è sensibile al livello del clock.

I flip-flop “**edge triggered**” sono sensibili, invece al cambiamento del CK, ossia al fronte.

Si ha dunque

- flip-flop “edge triggered” sensibili al fronte di salita che eseguono l’operazione (i.e.aggiornano lo stato) solo quando il CK va da 0 a 1.
- flip-flop “edge triggered” sensibili al fronte di discesa che eseguono l’operazione (i.e.aggiornano lo stato) quando il CK va da 1 a 0.

La tabella di verità è analoga a quella dei flip-flop level triggered, con l’unica differenza che al posto dello stato del clock si ha il fronte.

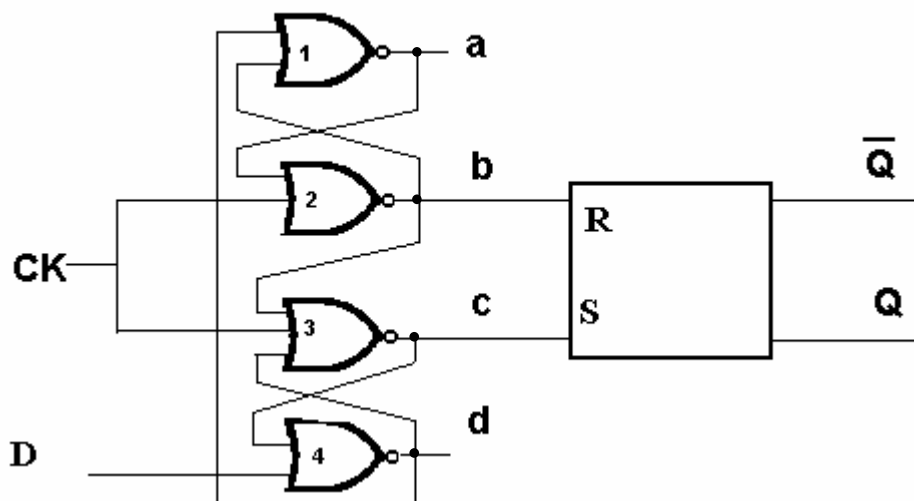
Es. Per un flip-flop JK edge triggered sensibile al fronte di salita:

J	K	CK	Q(t+1)
0	0	↑	Q(t)
0	1	↑	0
1	0	↑	1
1	1	↑	$\bar{Q}(t)$

Es. Per un flip-flop JK edge triggered sensibile al fronte di discesa:

J	K	CK	Q(t+1)
0	0	↓	Q(t)
0	1	↓	0
1	0	↓	1
1	1	↓	$\bar{Q}(t)$

Esempio di rete logica che realizza un FF di tipo D:



Questo è un esempio di flip-flop edge triggered D con sensibilità al fronte di discesa.

La parte del dispositivo indicata con il rettangolo è un latch S/R. Inoltre sono presenti:

- 1- 4 NOR ognuno dei quali è retroazionato con quelli ad esso contigui
- 2- in ingresso a 1 vi è D
- 3- in ingresso a 2 e 3 vi è il CK
- 4- in ingresso a 4 vi è D

Quando il CK è a 1, indipendentemente da tutte le altre variabili, b e c in ingresso al latch sono a 0: l'S/R è in stato di hold.

Quando il CK passa da 1 a 0, b e c sono ancora a zero (dal ciclo precedente) e vengono retroazionate su 1 e 4, pertanto

$$\text{NOR 1: } a = \overline{0 + K} = \overline{J} = J$$

$$\text{NOR 4: } d = \overline{0 + J} = \overline{J}$$

Quindi in ingresso ai NOR 2 e 3 si ha

$$\text{NOR 2: } \overline{CK + a + c} \text{ ma } CK = 0, c = 0, a = D \text{ pertanto } b(t+1) = \overline{CK + a(t) + c(t)} = \overline{D}$$

$$\text{NOR 3: anche per il NOR 3 si può procedere nel medesimo modo ottenendo } c(t+1) = K$$

Pertanto il latch bistabile S/R esegue l'istruzione (ossia carica il dato).

Nel ciclo successivo:

- se $b=0$ e $c=1$ essendo c retroazionato su b , ne risulta che $b(t+1)$ è sempre 0 indipendentemente dal valore di K , mentre gli ingressi del NOR 3 sono
 $CK=0 \quad b=0 \quad d=\overline{J+1}=0$
Da cui $c=1$ ed il latch continua ad eseguire il set della variabile indipendentemente dagli ingressi.
- se $b=1$ e $c=0$ in modo del tutto analogo, il latch continua ad eseguire il reset.

Se varia il valore di D la variazione viene sentita solo nel fronte di discesa.

Il FF memorizza il dato in ingresso sul fronte di discesa del CK presentandolo in uscita dopo un certo tempo di propagazione a partire dal fronte attivo.

L'equazione dell'uscita è semplicemente:

$$Q_{next} = D$$

Lo schema di un ETFF (fronte negativo) è analogo alla figura precedente.

Per spiegare il funzionamento si deve notare che la coppia di NOR incrociati d'uscita non è altro che un latch SR i cui ingressi S e R sono, rispettivamente, le uscite delle porte NOR n.3 e n.2.

Ricordando che, se un ingresso ad una porta NOR è uguale ad 1, in uscita si ha 0, comunque siano gl'ingressi, si ha che, quando il clock è ad 1, $b=R=0$ e $c=S=0$, per cui il latch d'uscita è nello stato di Hold.

Se $D=0$ si ha che $d=1$ e $a=0$: in questa situazione se Ck è a 0 c rimane a 0 mentre b può andare a 1.

Ne consegue che il latch finale legge $S=0$ e $R=1$ e quindi porta in uscita $Q=0$.

Se $D=1$, $d=0$ e $a=1$ quando CK passa a 0, la porta tre trova tutti 0 in ingresso e va a 1 mentre b è mantenuto a 0 da a . Il latch finale legge $S=1$ e $R=0$ e quindi si porta a $Q=1$.

In ambedue i casi, passato il fronte, D può cambiare senza produrre alcun effetto e quando CK torna ad 1 si ripristina la condizione di Hold.

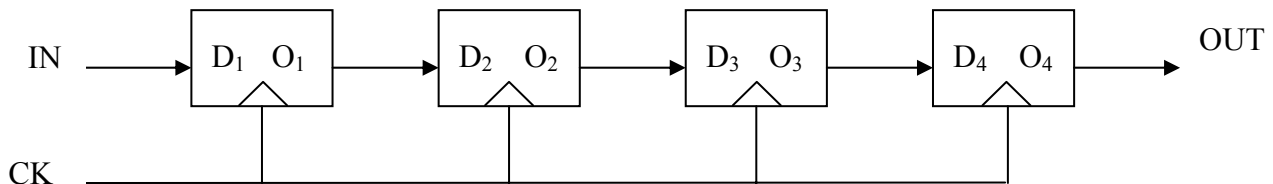
Il tempo di lettura è dal tempo di transizione del CK e il dato deve rimanere stabile per:

- un tempo di preparazione pari alla somma del tempo di propagazione della porta 4 e quello della porta 1, prima della transizione del CK : questo tempo è detto di SET (set time);
- un tempo di tenuta pari al tempo di propagazione massimo fra quello della porta 2 e quello della porta 3, dopo la transizione del CK , in modo tale che il segnale in ingresso al latch SR duri un tempo sufficiente ad essere letto correttamente: questo tempo è detto di hold (hold time).

Registro a scorrimento (“shift register”)

Utilizzando flip-flop D edge triggered in cascata si può eseguire l'operazione di shift right (SHR) o shift left (SHL).

Supponiamo d'avere 4 flip-flop in cascata di tipo D e, sapendo come varia il segnale di ingresso (IN) nel tempo, calcoliamo O_1 , O_2 , O_3 e O_4 .



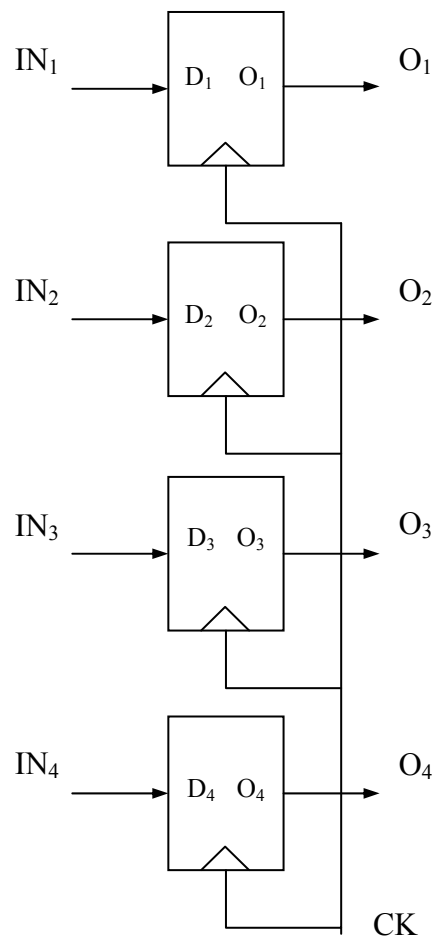
Si ipotizzi inizialmente di avere fatto un reset, ovvero $O_1 = O_2 = O_3 = O_4 = 0$.
Se IN va a 1 per un certo periodo:

- sul fronte 1 il primo flip-flop vede IN a 1 e pertanto carica il valore di IN in memoria. O_1 si porta a 1 dopo un certo tempo Δt dal fronte 1, dovuto al ritardo del dispositivo. O_2 , che ha come ingresso O_1 , sul fronte 1 vede l'ingresso O_1 ancora a 0. Analogamente per O_3 e O_4 .
- sul fronte 2 IN è ritornato a 0. O_1 ritorna a zero dopo un tempo Δt dal fronte 2. Intanto il secondo latch vede ancora a 1 il valore di O_1 e pertanto manda a 1 O_2 . Mentre a causa del ritardo O_3 e O_4 vanno a zero.

In pratica si è traslato il valore di IN nel tempo, infatti, O_4 andrà a 1 nel periodo 4 di clock, cioè ben 3 periodi dopo che IN è andato a 1.

Questo è un esempio di registro di scorrimento.

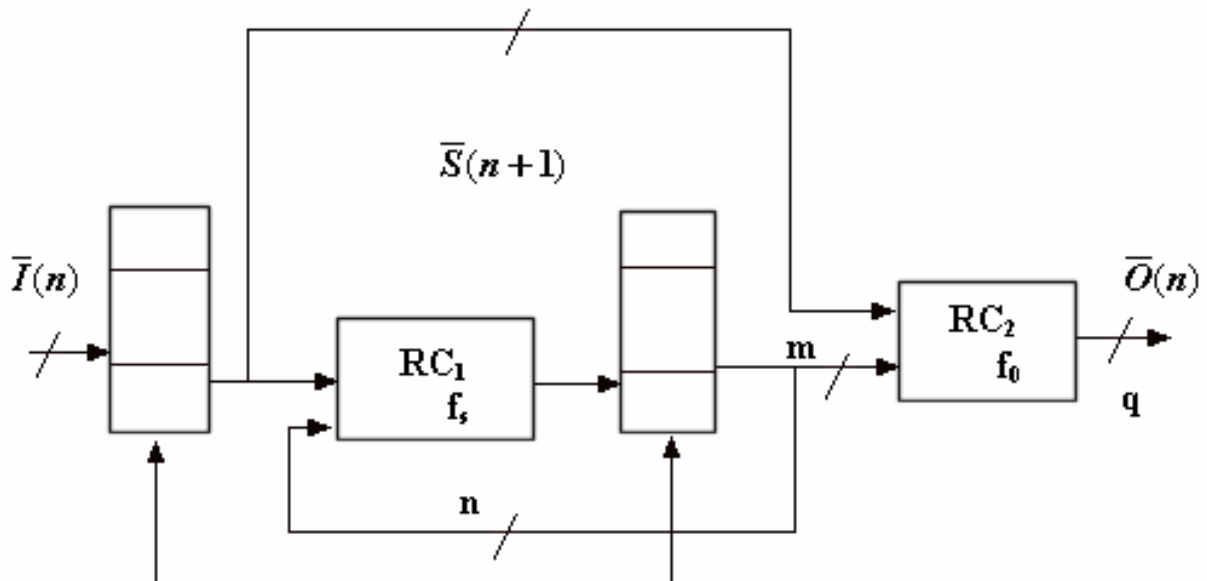
Disponendo invece 4 flip-flop D in parallelo si ottiene il caricamento istantaneo di più segnali contemporaneamente, ovvero un registro in parallelo, come quello della figura seguente:



Capitolo 10

Macchine a stati finiti

10.1 Temporizzazione delle macchine a stati finiti



vettore di FLIP-FLOP che serve a sincronizzare gli ingressi con il clock

vettore di stato: tante locazioni quante sono le variabili di stato.

MACCHINA DI MOORE

$$\bar{S}(n+1) = f(\bar{S}(n), \bar{I}(n))$$

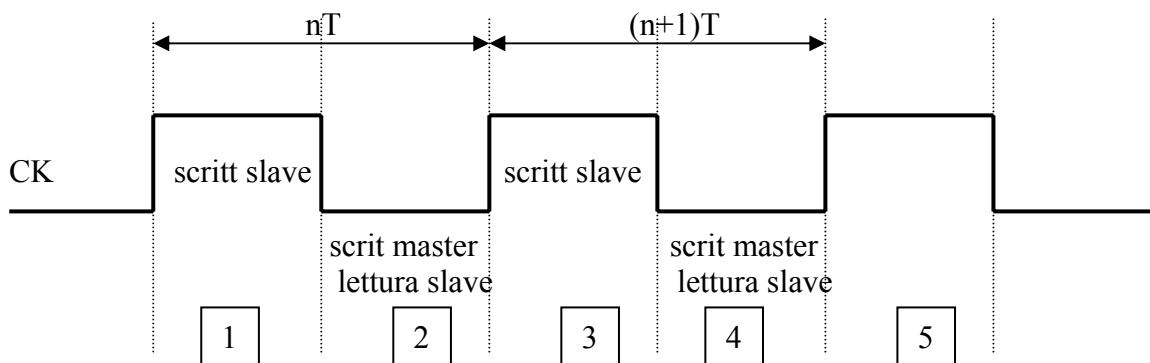
$$\bar{O}(n) = q(\bar{S}(n))$$

MACCHINA DI MEALY

$$\bar{S}(n+1) = f(\bar{S}(n), \bar{I}(n))$$

$$\bar{O}(n) = q(\bar{S}(n), \bar{I}(n))$$

Supponiamo di avere a che fare con un flip-flop level-sensitive:



periodo 1

CK alto (scrittura del contenuto del master sullo slave)

periodo 2

CK basso (lettura slave, scrittura nel master) $\Rightarrow$ l'uscita dello slave è costante

RC 1 elabora $\bar{S}(n+1)$

RC 2 elabora $\bar{O}(n)$

periodo 3

Nell'intervallo successivo lo stato futuro diventa lo stato attuale $\Rightarrow$ scrittura nello slave

CK alto

$S(n+1)$ è diventato lo stato attuale

$I(n+1)$

periodo 4

RC 1 elabora $\bar{S}(n+2)$

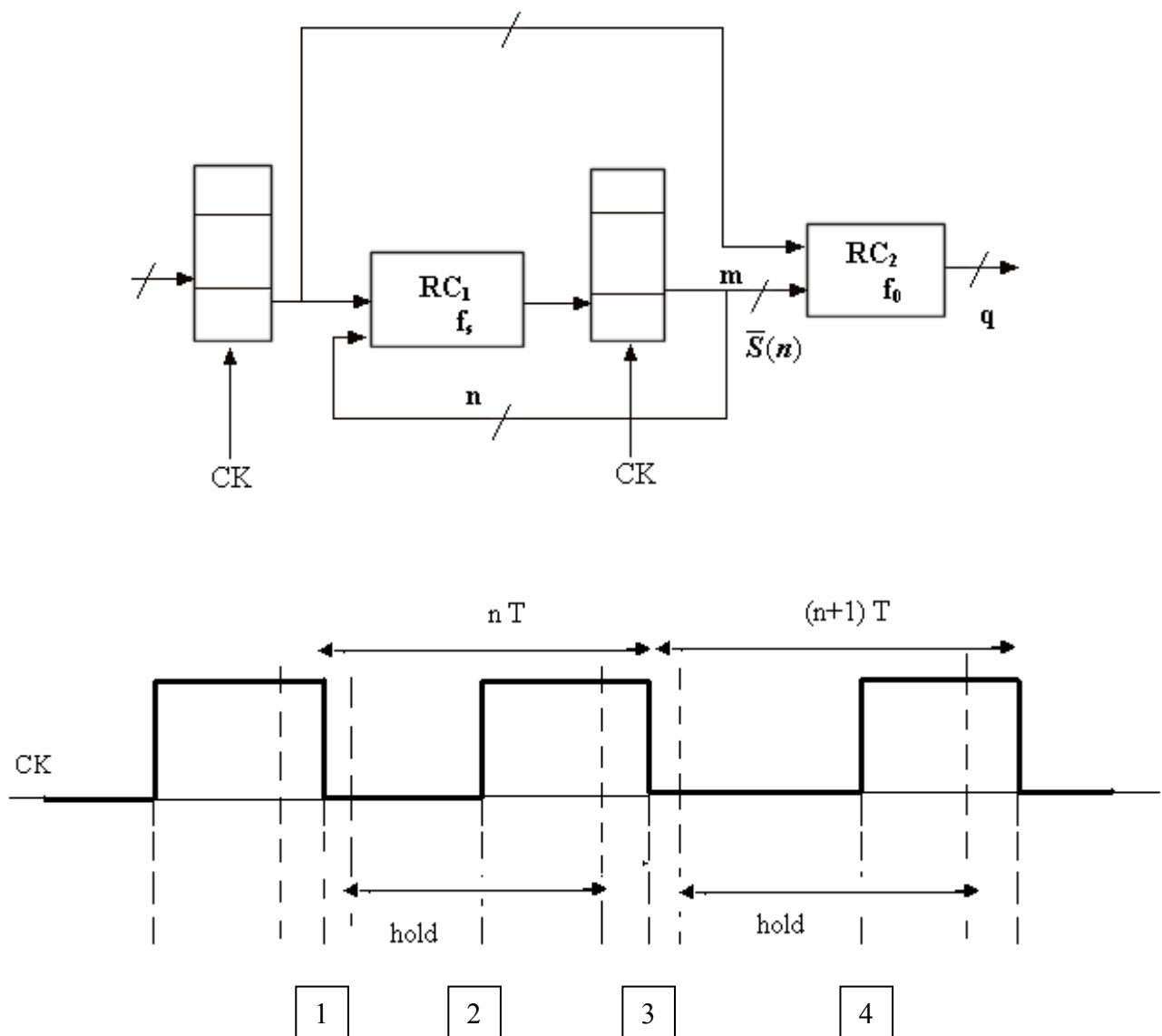
RC 2 elabora $\bar{O}(n+1)$

periodo 5

$\bar{S}(n+1)$

$\bar{I}(n+1)$

Supponiamo ora di avere a che fare con flip-flop edge-sensitive:



periodo 1

$t_s+t_n : \bar{S}(n), \bar{I}(n)$

periodo 2

Hold: RC 1 elabora $\bar{S}(n+1)$
RC 2 elabora $\bar{O}(n)$

periodo 3

$t_s+t_n : \bar{S}(n+1), \bar{I}(n+1)$

periodo

4

Hold: RC 1 elabora $\bar{S}(n+2)$

RC 2 elabora $\bar{O}(n+1)$

Nota:

Non ci sono uscite sincrone.

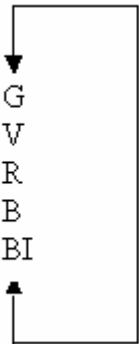
Se mettendo il flip-flop sulle uscite le sincronizzo.

Permango in uno stato per 1 periodo di Ck; nel periodo successivo vado in un altro stato, cioè quello futuro.

Il segnale di Ck è un ingresso implicito; non compare nel vettore degli ingressi ma nel segnale di sincronismo del flip-flop.

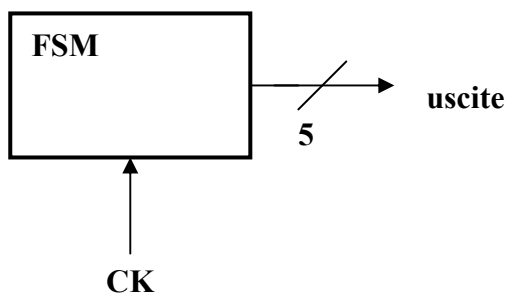
10.2 Progettazione di macchine a stati finiti

Per capire i passi procedurali che occorre analizzare partiamo con un esempio: dobbiamo progettare una macchina a stati finiti che controlli la sequenza di accensione di un'insegna luminosa che cambia colore con una temporizzazione ben definita. La sequenza dei vari colori è: Giallo (G), Verde (V), Rosso (R), Blu (B), Bianco (Bi).



Nota: sequenza di accensione dei colori (e di attivazione dei relativi segnali)

Non ho ingressi, solo il CK (che è implicito), per cui abbiamo una macchina di Moore. Inoltre abbiamo 5 uscite (e cioè 5 variabili booleane) ognuna delle quali serve ad attivare un colore diverso; se l'uscita assume valore 0 il colore corrispondente è spento, altrimenti è acceso.



Primo passo del progetto

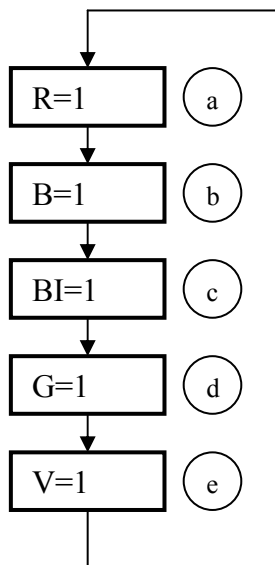
Occorre passare dalla descrizione in linguaggio naturale ad un linguaggio formale come i diagrammi ASM (Algorithmic State Machine); questo passaggio rappresenta in generale la fase più complessa.

Chiamiamo le uscite in questo modo:

G=giallo, V=verde, R=rosso, B=blu, BI=bianco

Inoltre scriviamo in ogni stato solo la variabile = 1 (perché le altre sono a 0).

Quindi il DIAGRAMMA ASM risulta:



Nota: il blocco indica lo stato.

Nota: lo stato da cui si inizia a disegnare il diagramma ASM non è vincolante.

Secondo passo del progetto

A questo punto occorre scrivere la corrispondente tabella della FSM con SP (stato presente), OUT (uscite), e SF (stato futuro); la descrizione tabellare è molto importante perché prelude alla sintesi. Nel nostro caso si ha:

SP	OUT					SF
	R	B	Bi	G	V	
(a)	1	0	0	0	0	(b)
(b)	0	1	0	0	0	(c)
(c)	0	0	1	0	0	(d)
(d)	0	0	0	1	0	(e)
(e)	0	0	0	0	1	(a)

Non compare esplicitamente il CK: si permane in uno stato per un periodo di CK.

La tabella mi dà le stesse informazioni del diagramma ASM.

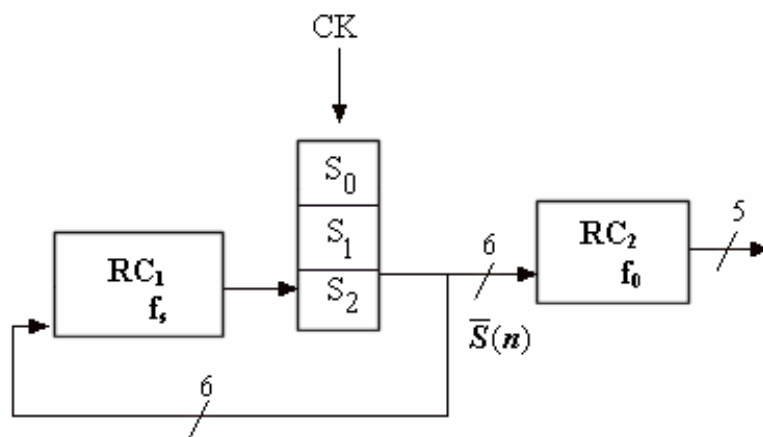
Abbiamo 5 stati e per rappresentarli servono 3 variabili di stato (S_0 , S_1 , S_2) che sono memorizzate da 3 FF. La tabella diventa la seguente:

SP	S ₂	S ₁	S ₀	R	B	BI	G	V	SF	S' ₂	S' ₁	S' ₀
(a)	0	0	0	1	0	0	0	0	(b)	0	0	1
(b)	0	0	1	0	1	0	0	0	(c)	0	1	0
(c)	0	1	0	0	0	1	0	0	(d)	0	1	1
(d)	0	1	1	0	0	0	1	0	(e)	1	0	0
(e)	1	0	0	0	0	0	0	0	(a)	0	0	0

Terzo passo di progetto

La fase successiva è quella di disegnare la struttura della rete in cui si possono usare gli elementi di memoria preferiti. Comunque i FF di tipo D rappresentano sempre la scelta più semplice.

Analizzando il nostro esempio consideriamo di usare **FF di tipo D**:



Quarto passo di progetto

L'ultimo passo procedurale è quello della sintesi delle variabili di stato e delle variabili di uscita.

Supponiamo di sintetizzare la variabile di uscita R (rosso), le uscite sono in funzione solo dello stato attuale.

La tabella di verità è la seguente (viene dedotta dalla tabella della FSM):

		S ₁ \ S ₀			
S ₂	0	1	0	0	0
	1	0	-	-	-

Sintesi AND-OR:

$$R = \overline{S_0 S_1 S_2}$$

Questa è la sintesi di R, dovrei farla per tutte le uscite. Devo sintetizzare lo stato futuro, funzione solo dello stato attuale.

Supponiamo ora di sintetizzare S_0^1 , utilizzando un **flip-flop di tipo D** cioè:

		$S_1 \backslash S_0$			
		00	01	11	10
S_2	0	1	0	0	1
	1	0	-	-	-

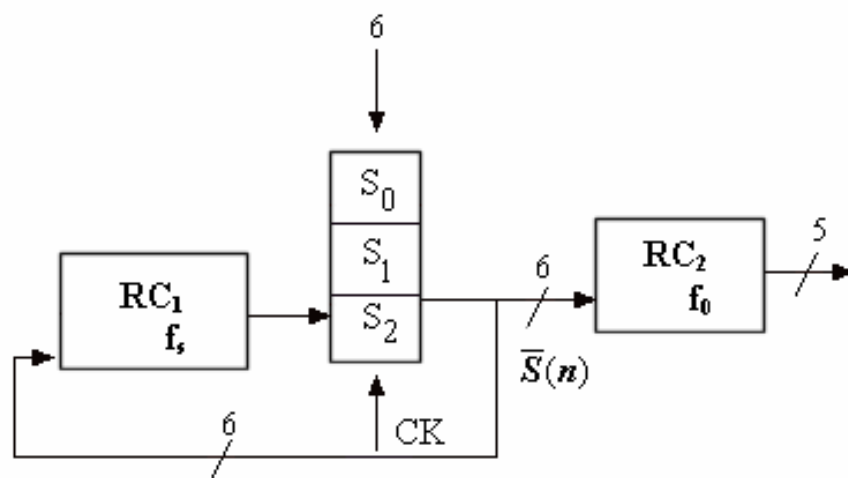
$$S_0' = \overline{S_0} \overline{S_2} = D_0$$

Raggruppo i due 1:

$$D_{S_0'} = \overline{S_0} \overline{S_2}$$

Vediamo che cosa succede se uso un **FF JK**:

Per ogni variabile di stato ho due uscite e due ingressi



Partiamo dalla tabella di verità del FFJK da cui poi passiamo alla cosiddetta TABELLA DI ECCITAZIONE:

J	K	Q(n+1)
0	0	Q(n)
0	1	0
1	0	1
1	1	$\overline{Q}(n)$

Da questa ricavo la tabella di eccitazione:

Qn	Q(n+1)	J	K
0	0	0	-
0	1	1	-
1	0	-	1
1	1	-	0

A questo punto posso cancellare la tavola di verità e continuare con la tabella di eccitazione. Devo sintetizzare tutti e due gli ingressi (perché ho utilizzato un flip-flop di tipo JK).

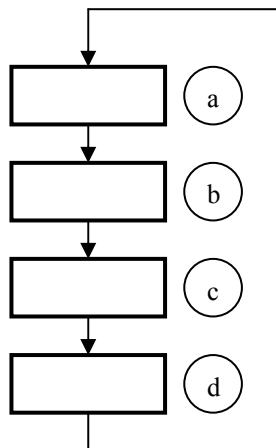
Sintetizzo ad esempio J_0 :

		S_0			
		S_1			
S_2		00	01	11	10
	0	1	-	-	1
	1	0	-	-	-

Sintesi: $J_0' = \overline{S_2}$

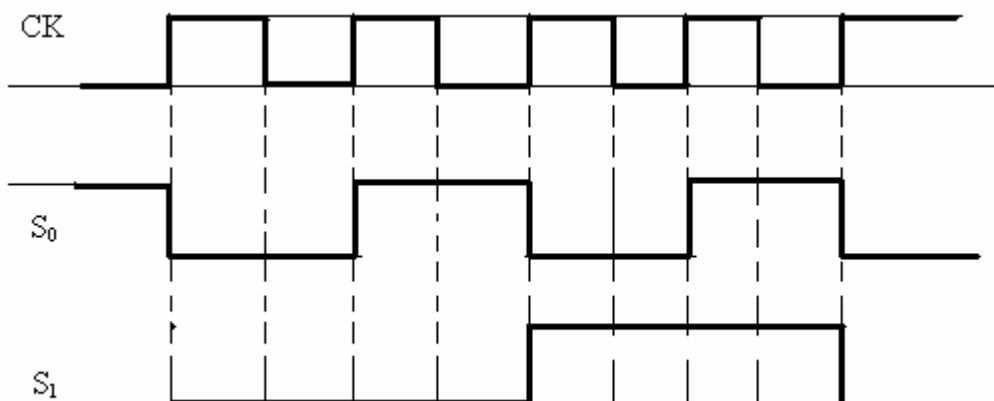
Nota: La macchina analizzata fino ad ora non ha ingressi e percorre sempre la stessa sequenza di stati: è pertanto un **CONTATORE**. Consideriamo la struttura della macchina a stati che abbiamo appena visto.

Supponiamo di avere un contatore per 4 stati:

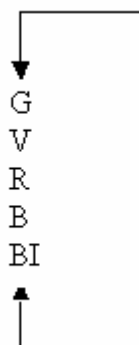


Sono sufficienti solo due variabili di stato S_1 , S_2 .

Esempio di andamento temporale delle variabili di stato

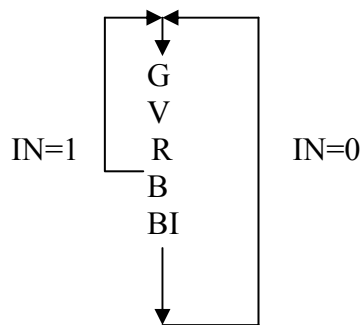


Ritorniamo all'esempio precedente:



Introduciamo in ingresso una variabile di scelta IN tale che:

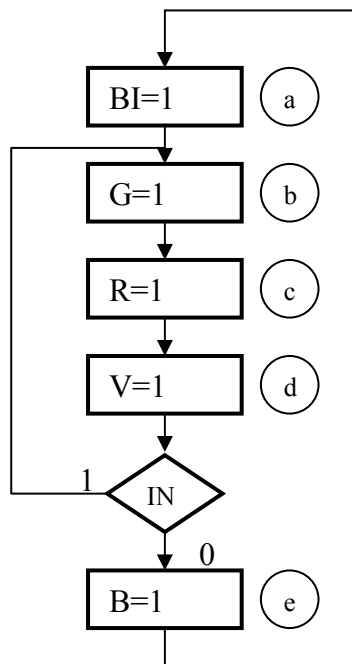
- Se IN=0 la sequenza è sempre G, V, R, B, BI
- Se IN=1 la sequenza è G; V; R



Si può scegliere in questo caso tra la macchina di Moore o la macchina di Mealy.

Utilizziamo la macchina di Moore.

Devo disegnare il diagramma ASM.

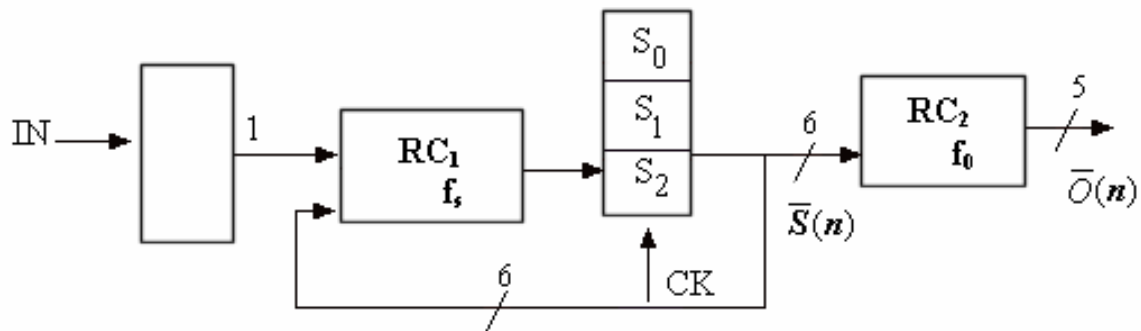


La tabella corrispondente è:

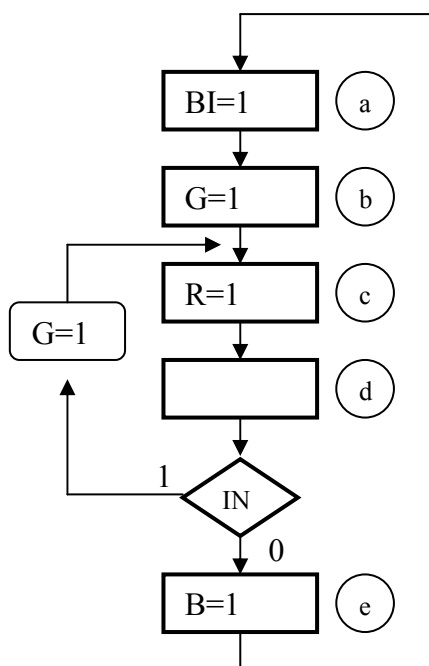
IN	SP	BI	G	R	V	B	SF
-	(a)	1	0	0	0	0	(b)
-	(b)	0	1	0	0	0	(c)
-	(c)	0	0	1	0	0	(d)
0	(d)	0	0	0	1	0	(e)
1	(d)	0	0	0	1	0	(b)
-	(e)	0	0	0	0	1	(a)

A questo punto scelgo il tipo di flip-flop ed eseguo la sintesi della variabile di stato e della variabile di uscita.

La struttura della rete corrispondente diventa la seguente:



Se si utilizza la macchina di Mealy il diagramma ASM diventa:



Praticamente nello stato (d) $B=1$ se $IN=0$ e $G=1$ se $IN=1$.

E' molto importante osservare che mi inserisco tra (b) e (c) e non tra (a) e (b) perché altrimenti manterrei lo stato $G=1$ per due periodi di CK e questo non va bene!

Tabella della FSM

IN	SP	BI	G	R	V	B	SF
-	(a)	1	0	0	0	0	(b)
-	(b)	0	1	0	0	0	(c)
-	(c)	0	0	1	0	0	(d)
-	(d)	0	0	0	1	0	(e)
0	(e)	0	0	0	0	1	(a)
1	(e)	0	1	0	0	0	(c)

Poiché abbiamo 5 stati, sono necessarie 3 variabili di stato e quindi 3 FF:

IN	SP	S ₀	S ₁	S ₂	BI	G	R	V	B	SF	S' ₀	S' ₁	S' ₂
-	(a)	0	0	0	1	0	0	0	0	(b)	0	0	1
-	(b)	0	0	1	0	1	0	0	0	(c)	0	1	0
-	(c)	0	1	0	0	0	1	0	0	(d)	0	1	1
-	(d)	0	1	1	0	0	0	1	0	(e)	1	0	0
0	(e)	1	0	0	0	0	0	0	1	(a)	0	0	0
1	(e)	1	0	0	0	1	0	0	0	(c)	0	1	0

Passi procedurali per la sintesi della macchina a stati

- 1) Scrittura del diagramma ASM
- 2) Tabella della FSM
- 3) Struttura della FSM
- 4) Sintesi delle variabili di stato e delle variabili di uscita

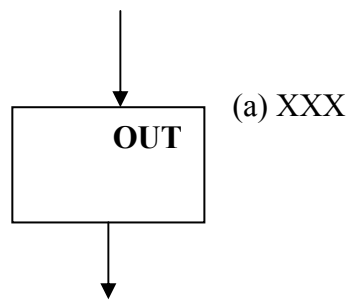
SINTASSI DEI DIAGRAMMI ASM

Nel disegnare il diagramma ASM si utilizzano tre blocchi:

-Blocco di stato

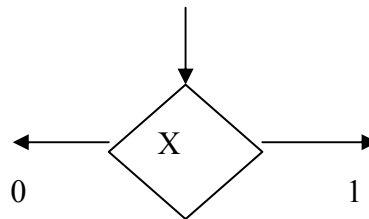
È un rettangolo che definisce uno degli stati della macchina. Ha un solo ingresso ed una sola uscita ed è caratterizzato da:

- ❑ Nome dello stato: (a)
- ❑ Lista delle uscite attive ad 1: OUT
- ❑ Codice dello stato:XXX



-Blocco condizionale

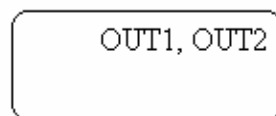
E' un rombo con un ingresso e due uscite che vengono selezionate in funzione del valore assunto dall'espressione booleana.



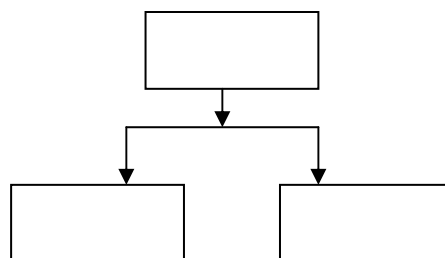
X = espressione booleana

-Blocco delle uscite condizionate

Evidenzia le uscite attive (si usa solo nella macchina di Mealy). Da non confondersi con il blocco di stato.



Nota: lo schema come il seguente è sbagliato dal punto di vista logico



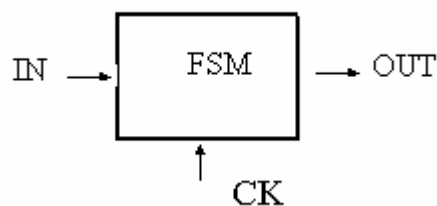
Nella macchina di Moore ho solo blocchi di stato e condizionali; se voglio invece implementare la macchina di Mealy devo usare per forza anche il blocco delle uscite condizionate.

In genere non esistono regole per scegliere se usare la macchina di Moore o la macchina di Mealy, ma normalmente la macchina di Mealy è più semplice.

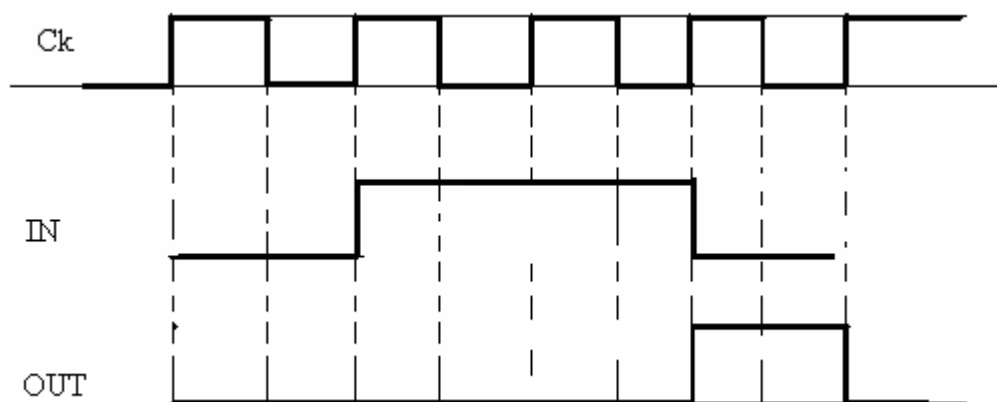
Ci sono alcune applicazioni che necessitano dell'utilizzo di una macchina piuttosto che l'altra: i contatori per esempio necessitano della macchina di Moore.

Esempio

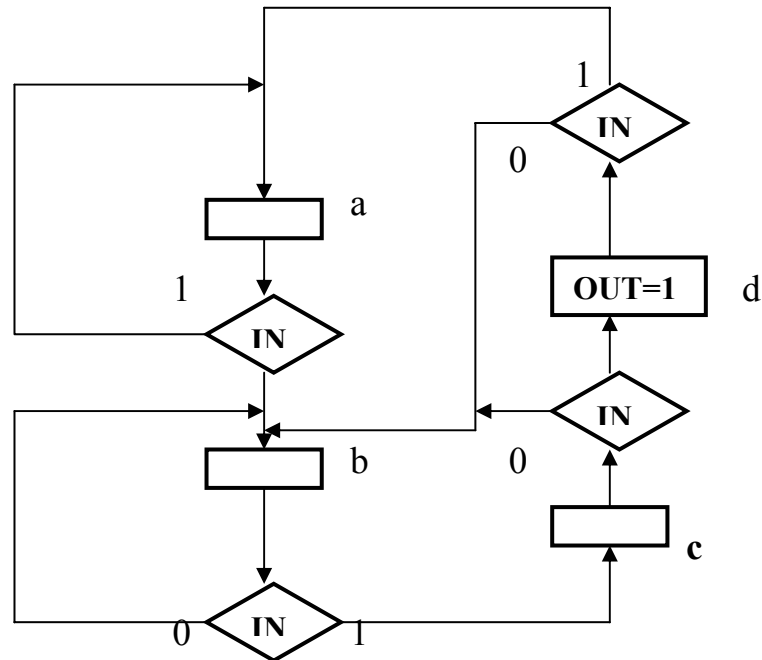
Ho una macchina a stati finiti che ha un ingresso, un'uscita e un clock; la macchina deve riconoscere una particolare sequenza in ingresso: la sequenza di ingresso 011 manda l'uscita a 1 per un periodo di CK.



Andamento temporale



Implementiamo la struttura di Moore.



Il diagramma ASM è ciclico quindi non devo preoccuparmi di dove cominciare il diagramma: posso partire da qualsiasi stato.

Tabella della FSM

In ogni istante vado a verificare l'ingresso

S_p	IN	OUT	SF
a	0	0	b
a	1	0	a
b	0	0	b
b	1	0	c
c	0	0	b
c	1	0	d
d	0	1	b
d	1	1	a

Mi servono due variabili di stato che chiamo ad esempio S_0 S_1 :

S_1	S_0	SP	IN	OUT	SF	S'_0	S'_1
0	0	a	0	0	b	0	1
0	0	a	1	0	a	0	0
0	1	b	0	0	b	0	1
0	1	b	1	0	c	1	0
1	0	c	0	0	b	0	1
1	0	c	1	0	d	1	1
1	1	d	0	1	b	0	1
1	1	d	1	1	a	0	0

Sintesi dell'uscita

$$OUT = S_0 \cdot S_1$$

Sintesi dello stato futuro

		$S_1 \backslash S_0$			
		IN			
		00	01	11	10
0	1	1	1	1	1
	0	0	0	0	1

$$S'_0 = \overline{\overline{(IN)}} * \overline{\overline{(S_1 S_0)}}$$

Con flip-flop di tipo JK:

J	K	Q(n)
0	0	Q(n-1)
0	1	0
1	0	1
1	1	$\overline{Q} (n-1)$

Nella macchina a stati conosco lo stato attuale e quello passato ma non conosco quello futuro. Devo determinare J e K.

Tabella d'eccitazione:

Q(n-1)	Q(n)	J	K
0	0	0	-
0	1	1	-
1	0	-	1
1	1	-	0

S₁	S₀	S_p	IN	OUT	SF	S'₁	S'₀	J'₁	K'₁	J'₀	K'₀
0	0	a	0	0	b	0	1	0	-	1	-
0	0	a	1	0	a	0	0	0	-	0	-
0	1	b	0	0	b	0	1	0	-	-	0
0	1	b	1	0	c	1	0	1	-	-	1
1	0	c	0	0	b	0	1	-	1	1	-
1	0	c	1	0	d	1	1	-	0	1	-
1	1	d	0	1	b	0	1	-	1	-	0
1	1	d	1	1	a	0	0	-	1	-	1

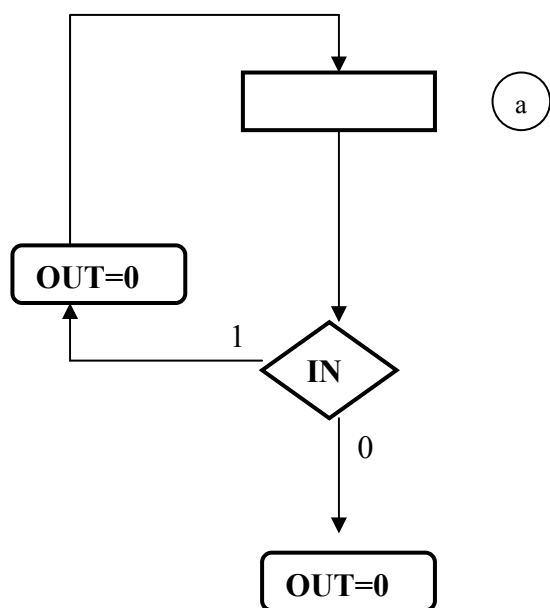
Abbiamo scritto la tabella di verità, adesso possiamo semplificarla:

		S₁ S₀			
		00	01	11	10
IN	0	0	0	-	-
	1	0	1	-	-

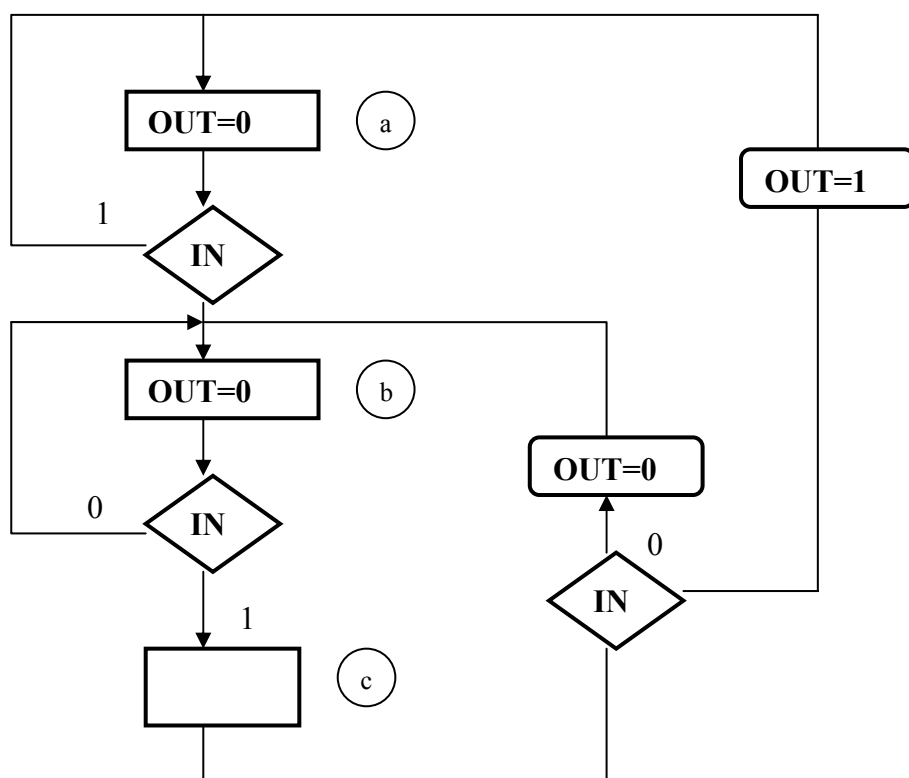
Sintesi AND-OR:

$$J'_1 = IN \cdot S_0$$

Diagramma ASM nel caso di macchina di Mealy



Oppure più semplicemente:



Ho uno stato in meno rispetto a Moore, la temporizzazione è diversa.

Andamento temporale

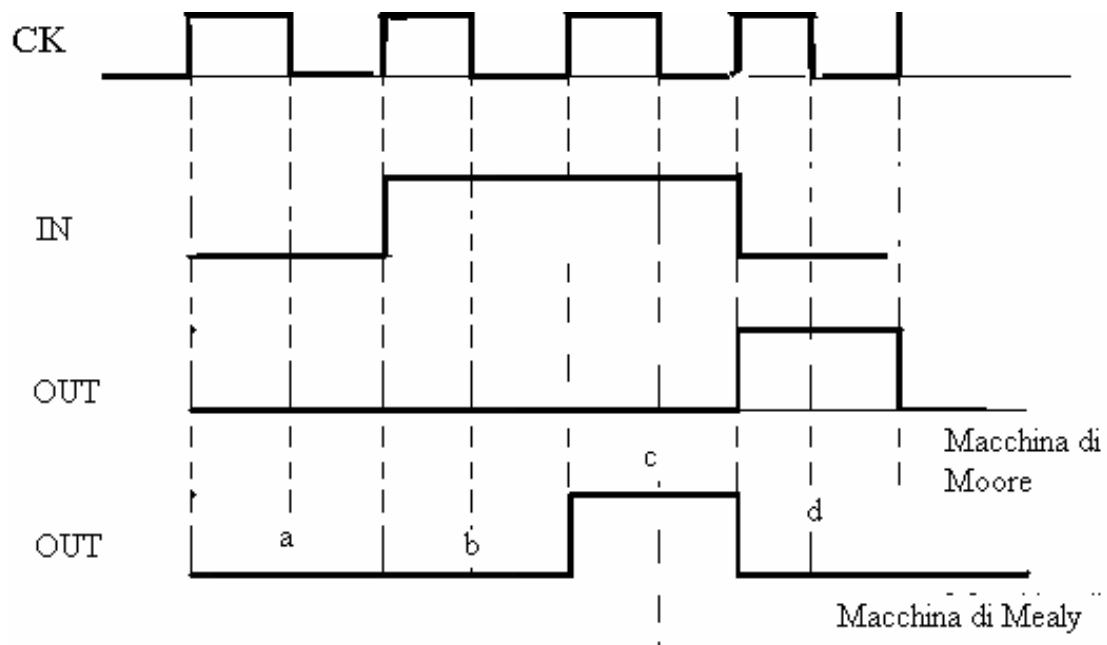


Tabella della FSM

IN	SP	S_1	S_0	OUT	SF	S'_1	S'_0
0	a	0	0	0	b	0	1
1	a	0	0	0	a	0	0
0	b	0	1	0	b	0	1
1	b	0	1	0	c	1	1
0	c	1	1	0	b	0	1
1	c	1	1	1	a	0	0

Struttura della FSM

